



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2002-0044223
Application Number

출 원 년 월 일 : 2002년 07월 26일
Date of Application JUL 26, 2002

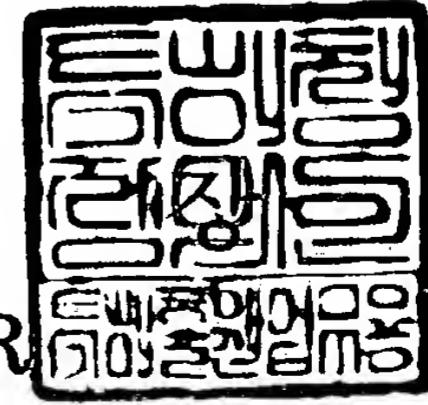
출 원 인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 02 월 27 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0004
【제출일자】	2002.07.26
【발명의 명칭】	자기 정렬된 접합영역 콘택홀을 갖는 반도체 장치 및 그 제조 방법
【발명의 영문명칭】	Semiconductor Device With Self-Aligned Junction Contact Hole And Method Of Fabricating The Same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	김지영
【성명의 영문표기】	KIM, JI YOUNG
【주민등록번호】	700405-1636710
【우편번호】	449-910
【주소】	경기도 용인시 구성면 언남리 신일아파트 103동 1001호
【국적】	KR
【발명자】	
【성명의 국문표기】	박제민
【성명의 영문표기】	PARK, JE MIN
【주민등록번호】	711212-1110611
【우편번호】	442-370

1020020044223

출력 일자: 2003/3/3

【주소】

경기도 수원시 팔달구 매탄동 810-4 성일아파트 206동 702호

【국적】

KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
임창현 (인) 대리인
권혁수 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 39 면 39,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 42 항 1,453,000 원

【합계】 1,521,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

자기 정렬된 접합영역 콘택홀을 갖는 반도체 장치 및 그 제조 방법을 제공한다. 이 방법은 반도체기판 상에 형성된 복수개의 트렌치 마스크들을 식각 마스크로 사용하여 반도체기판에 활성영역을 한정하는 트렌치를 형성한 후, 트렌치 및 트렌치 마스크들에 의해 이루어지는 캡영역을 채우는 매립절연막을 형성하는 단계를 포함한다. 이어서, 트렌치 마스크 및 매립절연막을 패터닝하여 활성영역을 가로지르면서 노출시키는 슬릿형 개구부를 정의하는 트렌치 마스크 패턴 및 매립절연막 패턴을 형성한다. 슬릿형 개구부 내에 게이트 패턴을 형성한 후, 트렌치 마스크 패턴을 제거하여 활성영역을 노출시키는 접합영역 개구부를 형성한다. 이후, 접합영역 개구부를 채우는 콘택 플러그를 형성한다. 이때, 접합영역 개구부는 트렌치 마스크와 매립 절연막 사이의 식각 선택성을 이용하여 자기정렬 방식으로 형성하는 것을 특징으로 한다. 이를 위해, 트렌치 마스크 및 매립절연막은 서로 식각 선택성을 갖는 물질로 형성한다. 이와 같은 방법으로 형성되는 접합영역 개구부는 직육면체 모양의 공간이 된다.

【대표도】

도 6c

【명세서】**【발명의 명칭】**

자기 정렬된 접합영역 콘택홀을 갖는 반도체 장치 및 그 제조 방법{Semiconductor Device With Self-Aligned Junction Contact Hole And Method Of Fabricating The Same}

【도면의 간단한 설명】

도 1a 내지 도 8a는 본 발명의 바람직한 실시예에 따른 반도체 장치의 제조 방법을 나타내는 평면도들이다.

도 1b 내지 도 8b는 본 발명의 바람직한 실시예에 따른 반도체 장치의 제조 방법을 나타내는 공정단면도들이다.

도 1c 내지 도 8c는 본 발명의 바람직한 실시예에 따른 반도체 장치의 제조 방법을 나타내는 사시도들이다.

도 9는 본 발명의 바람직한 실시예에 따른 반도체 장치를 나타내는 사시도이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <5> 본 발명은 반도체 장치 및 그 제조 방법에 관한 것으로서, 특히 자기 정렬된 접합영역 콘택홀을 갖는 반도체 장치 및 그 제조 방법에 관한 것이다.
- <6> 반도체 장치의 고집적화 추세에 따라, 반도체 장치는 더욱 미세화되고 있다. 이러한 반도체 장치는 물질막을 증착한 후 패터닝하는 일련의 단계들을 반복적으로 실시함으로써 형성된다. 통상적으로, 상기 패터닝은 차례로 실시되는 사진 단계 및 식각 단계를

포함한다. 상기 식각 단계는 상기 사진 단계에서 형성된 포토레지스트 패턴을 식각 마스크로 사용한다. 이때, 반도체 장치의 고집적화를 위해서는 상기 포토레지스트 패턴을 미세하게 형성하는 동시에 중첩 정밀도(overlay accuracy)를 높이는 것이 요구된다. 특히, 반도체장치의 소오스/드레인을 전기적으로 접속시키기 위한 접합영역 콘택홀(junction contact hole)은 단위 셀(unit cell)의 크기에 영향을 준다. 이에 따라, 반도체 장치의 고집적화를 위해서는, 상기 접합영역 콘택홀을 패터닝하는 단계에서의 중첩 정밀도를 증가시키는 것이 특히 요구된다.

<7> 상기 접합영역 콘택홀을 형성하기까지의 일반적인 과정은 반도체기판에 활성영역을 한정하는 소자분리막을 형성한 후, 상기 활성영역 상에 상기 소자분리막을 가로지르는 게이트 패턴을 형성하는 단계를 포함한다. 이후, 상기 게이트 패턴을 포함하는 반도체기판 전면을 덮는 충간절연막을 형성한다. 상기 충간절연막을 패터닝하여 상기 게이트 패턴 옆쪽의 활성영역을 노출시키는 접합영역 콘택홀을 형성한다. 상기 접합영역 콘택홀 형성을 위한 패터닝 공정은, 앞서 설명한 것처럼, 포토레지스트 패턴을 형성한 후 이를 식각 마스크로 사용하는 단계를 포함한다. 이때, 상기 포토레지스트 패턴은 상기 활성영 및 상기 게이트 패턴에 대해 높은 중첩 정밀도로 정렬되어야 한다. 상기 접합영역 콘택홀이 정위치에서 벗어날 경우, 상기 접합영역 콘택홀을 형성하는 동안 상기 게이트 패턴 또는 상기 소자분리막에 식각 손상이 발생할 수 있다.

<8> 이러한 식각 손상의 문제는 상기 접합영역 콘택홀을 상기 게이트 패턴 또는 상기 소자분리막에서부터 충분히 이격시키는 방법을 사용하여 예방될 수 있다. 하지만, 이러한 예방 방법에 따르면 단위 셀은 불필요한 면적을 더 포함해야 한다. 따라서, 이러한 예방 방법은 반도체 장치의 고집적화를 위해 바람직하지 않다. 바꿔 말해, 물질막 패턴

들의 미세화에 상응하는 고집적화의 효과를 얻기 위해서는, 상기 사진 공정에서의 중첩 정밀도 역시 상기 물질막 패턴들이 미세화되는 정도에 상응하여 증가하는 것이 바람직하다. 하지만, 사진 공정에서 발생하는 오정렬은 최소화될 수는 있을지라도, 완전히 극복할 수는 없다.

【발명이 이루고자 하는 기술적 과제】

- <9> 본 발명이 이루고자 하는 기술적 과제는 자기정렬된 접합영역 콘택홀을 형성하는 단계를 포함하는 반도체 장치의 제조 방법을 제공하는 데 있다.
- <10> 본 발명이 이루고자 하는 다른 기술적 과제는 자기정렬된 접합영역 콘택홀을 구비하는 반도체 장치를 제공하는 데 있다.

【발명의 구성 및 작용】

- <11> 상기 기술적 과제를 달성하기 위하여, 본 발명은 서로 다른 물질막들 사이의 식각 선택성을 이용함으로써, 자기 정렬된 접합영역 콘택홀을 형성할 수 있는 반도체 장치의 제조 방법을 제공한다. 이 방법은 반도체기판 상에 복수개의 트렌치 마스크들을 형성한 후, 이를 식각 마스크로 사용하여 상기 반도체기판을 식각함으로써 활성영역을 한정하는 트렌치를 형성하는 단계를 포함한다. 이후, 상기 트렌치 및 상기 트렌치 마스크들에 의해 이루어지는 캡영역을 채우는 매립절연막을 형성한다. 이때, 상기 매립절연막은 상기 트렌치 마스크의 상부면을 노출시킨다. 이어서, 상기 활성영역의 상부면이 노출될 때까지 상기 트렌치 마스크 및 상기 매립절연막을 패터닝하여 상기 활성영역을 가로지르는 슬릿형 개구부를 정의하는 트렌치 마스크 패턴 및 매립절연막 패턴을 형성한다. 상기 슬릿형 개구부 내에 게이트 패턴을 형성한 후, 상기 트렌치 마스크 패턴을 제거하여 상기

활성영역을 노출시키는 접합영역 개구부를 형성한다. 이후, 상기 접합영역 개구부를 채우는 콘택 플리그를 형성한다.

<12> 본 발명은 상기 트렌치 마스크와 상기 매립 절연막 사이의 식각 선택성을 이용하여, 상기 접합영역 개구부를 자기정렬 방식으로 형성하는 것을 특징으로 한다. 이를 위해, 상기 트렌치 마스크는 상기 매립절연막에 대해 식각 선택성을 갖는 물질로 형성하며, 바람직하게는 실리콘 질화막으로 형성한다. 또한, 상기 트렌치를 형성하기 위한 식각 공정은 이방성 식각의 방법인 것이 바람직하다.

<13> 한편, 상기 매립 절연막을 형성하기 전에, 상기 트렌치의 내벽을 덮는 트렌치 산화막을 형성한 후, 그 결과물 전면에 라이너막을 형성하는 단계를 더 실시하는 것이 바람직하다. 이때, 상기 트렌치 산화막은 열산화 공정을 통해 형성한 실리콘 산화막이고, 상기 라이너는 실리콘 질화막인 것이 바람직하다.

<14> 상기 매립절연막을 형성하는 단계는 상기 트렌치가 형성된 반도체기판 전면에, 상기 트렌치 및 상기 트렌치 마스크로 이루어지는 갭영역을 채우는 절연막을 형성한 후, 상기 트렌치 마스크가 노출될 때까지 상기 절연막을 평탄화 식각하는 것이 바람직하다. 이때, 상기 절연막은 복수번의 적층 및 식각 공정을 통해 형성되는 다층막일 수 있다. 또한, 상기 매립절연막은 화학 기상 증착 또는 스펀 코팅의 방법을 통해 형성한 실리콘 산화막 및 화학 기상 증착 또는 에피택시얼 방법을 통해 형성한 실리콘막 중에서 선택된 적어도 한가지 물질인 것이 바람직하다.

<15> 상기 슬릿형 개구부를 형성하는 단계는 이방성 식각의 방법을 사용한다. 이때 상기 슬릿형 개구부는 상기 트렌치의 상부에 형성된 상기 매립절연막 패턴의 상부면이 상기

노출된 활성영역의 상부면과 같은 높이를 갖도록 형성한다. 한편, 상기 슬릿형 개구부를 형성하기 전에, 상기 반도체기판에 웰(well)을 형성하기 위한 이온 주입 공정을 더 실시할 수도 있다. 또한, 상기 콘택 플러그를 형성하기 전에, 상기 접합영역 개구부를 통해 노출되는 상기 활성영역에 소오스/드레인 형성을 위한 이온 주입 공정을 더 실시할 수도 있다.

<16> 바람직하게는, 상기 게이트 패턴을 형성하기 전에 상기 슬릿형 개구부의 내부 측벽에 게이트 스페이서를 더 형성한다. 이때, 상기 게이트 스페이서는 상기 트렌치 마스크 패턴에 대해 식각 선택성을 갖는 물질로 형성한다. 또한, 상기 콘택 플러그를 형성하기 전에 상기 접합영역 개구부의 내부 측벽에 개구부 스페이서를 더 형성할 수도 있다. 이에 더하여, 상기 개구부 스페이서를 형성하기 전에 상기 접합영역 개구부의 폭을 증가시키기 위한 등방성 식각 공정을 더 실시할 수도 있다.

<17> 한편, 상기 콘택 플러그를 형성하는 단계는 에피택시얼 성장 기술을 사용하여, 실리콘 원자를 포함하는 도전성 물질층을 형성하는 것이 바람직하다. 또한, 상기 콘택 플러그를 형성하는 단계는 상기 접합영역 개구부를 채우는 콘택 플러그 도전막을 형성한 후, 상기 매립절연막 패턴의 상부면이 노출될 때까지 상기 콘택 플러그 도전막을 평탄화 식각하는 단계를 포함하는 것이 바람직하다.

<18> 상기 게이트 패턴을 형성하는 단계는 상기 슬릿형 개구부를 통해 노출된 상기 활성 영역 상에 차례로 적층된 게이트 절연막, 게이트 도전막 패턴 및 캐핑 절연막 패턴을 형성하는 단계를 포함한다. 이때, 상기 게이트 도전막 패턴은 상기 게이트 절연막이 형성된 상기 슬릿형 개구부의 하부 영역을 채우면서 상기 트렌치 마스크 패턴 및 상기 매립 절연막 패턴보다 낮은 상부면을 갖는다. 또한, 상기 캐핑 절연막 패턴은 상기 게이트 도

전막 패턴이 형성된 상기 슬릿형 개구부의 상부 영역을 채운다. 이때, 상기 캐핑 절연막 패턴은 상기 트렌치 마스크 패턴에 대해 식각 선택성을 갖는 물질로 형성한다.

<19> 한편, 상기 캐핑 절연막 패턴을 형성하기 전에, 상기 게이트 도전막 패턴이 형성된 상기 슬릿형 개구부의 내벽을 콘포말하게 덮는 게이트 충간절연막을 더 형성할 수도 있다. 이에 더하여, 상기 게이트 충간절연막을 포함하는 반도체기판 전면에 상기 슬릿형 개구부를 채우는 게이트 상부 도전막을 형성한 후, 이를 전면식각하여 상기 트렌치 마스크 패턴 및 상기 매립 절연막 패턴보다 낮은 상부면을 갖는 게이트 상부 도전 패턴을 형성하는 단계를 더 실시할 수도 있다. 이렇게 형성되는 게이트 패턴은 통상적으로 비휘발성 메모리의 게이트로 사용된다. 따라서, 상기 게이트 충간절연막은 산화막-질화막-산화막(ONO)인 것이 바람직하다.

<20> 상기 게이트 도전막 패턴을 형성하는 단계는 소위 에치백(etchback) 공정을 통해 형성하는 것이 바람직하다. 즉, 상기 슬릿형 개구부를 채우는 게이트 도전막을 형성한 후, 상기 슬릿형 개구부보다 낮은 상부면을 가질 때까지 상기 게이트 도전막을 전면 식각함으로써, 상기 게이트 도전막 패턴을 형성한다. 이때, 상기 게이트 패턴은 상기 트렌치 마스크 패턴에 대해 식각 선택성을 갖는 물질로 덮이는 것이 바람직하다.

<21> 상기 다른 기술적 과제를 달성하기 위하여, 본 발명은 접합영역 콘택홀이 직육면체 모양인 것을 특징으로 하는 반도체 장치를 제공한다. 이 장치는 활성영역을 한정하는 트렌치가 형성된 반도체기판, 상기 트렌치를 채우면서 상기 활성영역을 노출시키는 접합영역 개구부를 갖는 매립절연막 패턴 및 상기 접합영역 개구부를 통해 상기 활성영역에 접속하는 콘택 플러그를 포함한다. 이때, 상기 매립절연막 패턴은 상기 활성영역보다 높

은 상부면을 가지면서 상기 트렌치를 채운다. 또한, 상기 접합영역 개구부는 직육면체 모양의 공간(vacancy)인 것을 특징으로 한다.

<22> 상기 활성영역 및 상기 트렌치를 가로지르는 슬릿형 개구부 내에는 게이트 패턴이 더 배치될 수 있다. 이때, 상기 슬릿형 개구부는 상기 매립절연막 패턴 및 상기 콘택 플러그들의 측벽에 의해 정의된다. 또한, 상기 게이트 패턴의 상부면은 상기 매립 절연막 패턴의 최상부와 높이가 같다. 상기 매립 절연막 패턴은 실리콘 산화막, SOG막 및 실리콘막 중에서 선택된 적어도 한가지인 것이 바람직하다. 또한, 상기 콘택 플러그는 불순물을 포함하는 에피택시얼 실리콘층 또는 다결정 실리콘층일 수 있다. 이에 더하여, 상기 접합영역 개구부와 상기 콘택 플러그 사이에는 개구부 스페이서가 더 배치될 수 있다.

<23> 바람직하게는 상기 게이트 패턴은 차례로 적층된 게이트 절연막, 게이트 도전막 패턴 및 캐핑 패턴으로 이루어진다. 이때, 상기 캐핑 패턴은 상기 매립절연막 패턴과 화학적 조성이 동일한 물질인 것이 바람직하다. 또한, 상기 게이트 패턴의 측벽에는 상기 게이트 패턴을 상기 콘택 플러그 및 상기 매립 절연막 패턴으로부터 이격시키는 게이트 스페이서가 더 배치될 수 있다.

<24> 이에 더하여, 상기 게이트 도전막 패턴 및 상기 캐핑 패턴 사이에는 차례로 적층된 게이트 층간절연막 및 게이트 상부 도전 패턴이 더 배치될 수 있다. 이러한 게이트 패턴은 통상적으로 비휘발성 메모리의 게이트로 사용된다. 이를 위해, 상기 게이트 층간절연막은 산화막-질화막-산화막인 것이 바람직하며, 상기 게이트 상부 도전 패턴의 측벽을 덮는 측벽 연장부를 구비할 수 있다.

<25> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한 층이 다른 층 또는 기판 상에 있다고 언급되어지는 경우에 그 것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 층이 개재될 수도 있다.

<26> 도 1a 내지 도 8a, 도 1b 내지 도 8b 및 도 1c 내지 도 8c는 각각 본 발명의 바람직한 실시예에 따른 반도체 장치의 제조 방법을 나타내는 평면도들, 공정단면도들 및 시도들이다. 이때, 도 1b 내지 도 8b는 도 1a 내지 도 8a의 I-I'를 따라 보여지는 단면을 나타낸다.

<27> 도 1a, 도 1b 및 도 1c를 참조하면, 반도체기판(10) 상에 트렌치 마스크막을 형성한 후, 이를 패터닝하여 소정영역에서 상기 반도체기판(10)을 노출시키는 복수개의 트렌치 마스크들(20)을 형성한다. 이후, 상기 트렌치 마스크들(20)을 식각 마스크로 사용하여 상기 노출된 반도체기판(10)을 식각함으로써, 활성영역(10a)을 한정하는 트렌치(15)를 형성한다. 이때, 상기 트렌치(15)는 상기 반도체기판(10) 내에 형성되고, 상기 트렌치(15)의 상부에는 상기 트렌치 마스크들(20)에 의해 둘러싸인 갭영역이 형성된다(도 1c 참고).

- <28> 상기 트렌치 마스크들(20)은 차례로 적층된 패드 산화막 및 마스크 희생막으로 이루어지는 것이 바람직하다. 이때, 상기 패드 산화막은 실리콘 산화막으로 형성하고, 상기 마스크 희생막은 실리콘 질화막으로 형성하는 것이 바람직하다.
- <29> 상기 트렌치(15) 형성을 위한 식각 공정은 이방성 식각의 방법으로 실시하는 것이 바람직하다. 한편, 상기 트렌치 마스크들(20)은 후속 공정에서 형성되는 게이트 패턴의 주형(mold)으로 사용된다. 이에 따라, 상기 트렌치 마스크들(20)의 높이는 상기 후속 게이트 패턴의 높이를 결정한다. 따라서, 상기 트렌치 마스크들(20)의 두께는 후속 공정에서 형성하려는 게이트 패턴들의 높이를 고려하여 형성한다.
- <30> 도 2a, 도 2b 및 도 2c를 참조하면, 상기 트렌치 마스크들(20)에 의해 형성되는 캡영역 및 상기 트렌치(15)를 채우는 매립절연막(30)을 형성한다. 상기 매립절연막(30)을 형성하는 단계는 상기 트렌치(15)를 포함하는 반도체기판 상에 상기 캡영역 및 상기 트렌치(15)를 채우는 절연막을 형성한 후, 상기 트렌치 마스크들(20)의 상부면이 노출될 때까지 상기 절연막을 평탄화 식각하는 단계를 포함한다. 상기 매립절연막(30) 형성을 위한 평탄화 식각 공정은 화학 기계적 연마(chemical mechanical polishing, CMP) 기술을 사용하여 실시하는 것이 바람직하다. 이에 따라, 상기 매립절연막(30)은 상기 캡영역 및 상기 트렌치(15)를 채우면서 상기 트렌치 마스크들(20)과 같은 높이의 상부면을 갖는다.
- <31> 한편, 상기 트렌치(15) 형성을 위한 식각 공정은 통상적으로 플라즈마를 이용한 방성 식각의 방법을 사용한다. 이에 따라, 상기 트렌치(15)의 내벽에는 플라즈마에 의한 식각 손상이 발생할 수 있다. 이러한 식각 손상은 반도체장치의 특성을 악화시키는 원인이 되므로, 이를 치유하기 위한 열공정을 더 실시하는 것이 바람직하다. 상기 열공정

은 상기 매립절연막(30)을 형성하기 전에 상기 트렌치(15)의 내벽에 열산화막(도 2B의 6)을 형성하는 트렌치 열산화 공정인 것이 바람직하다.

<32> 이에 더하여, 상기 매립절연막(30)을 형성하기 전에, 상기 트렌치 열산화막(6)이 형성된 반도체기판의 전면을 콘포말하게 덮는 라이너막을 형성하는 것이 바람직하다. 상기 라이너막은 상기 평탄화 식각 공정에서 상기 절연막과 함께 식각되어 상기 매립절연막(30)을 둘러싸는 라이너(도 2B의 7)를 형성한다. 상기 라이너(7)는 후속 공정을 진행하는 동안 사용되는 산소 또는 불순물 등이 상기 트렌치(15) 내벽을 통해 상기 반도체기판(10)으로 침투하는 것을 방지하기 위한 물질막이다. 따라서, 상기 라이너(7)는 확산 방지의 특성이 우수한 실리콘 질화막으로 형성하는 것이 바람직하다.

<33> 상기 매립절연막(30)은 상기 트렌치 마스크(20)에 대해 식각 선택성을 갖는 물질로 형성한다. 바람직하게는 상기 매립절연막(30)은 실리콘 산화막으로 형성하는데, 실리콘 막이 더 사용될 수도 있다. 상기 실리콘 산화막은 화학 기상 증착 또는 스픬 코팅의 방법을 사용하여 형성할 수 있으며, 상기 실리콘막은 화학 기상 증착 또는 에피택시얼 성장 기술을 사용하여 형성할 수 있다. 특히, 반도체장치의 고집적화에 의해, 상기 트렌치(15) 및 상기 캡영역은 한번의 절연막 매립 공정을 통해 매립하기에는 어려운 종횡비(aspect ratio)를 가질 수도 있다. 이 경우, 상기 트렌치(15) 및 상기 캡영역을 공극없이 매립하기 위해서는, 적층 및 식각 공정을 여러번 반복적으로 실시하는 방법을 사용하는 것이 바람직하다. 이러한 방법을 따를 경우, 상기 매립절연막(30)은 다층 구조를 갖는다. 이 방법의 바람직한 실시예는 상기 트렌치(15)의 하부영역에 SOG막 또는 실리콘 에피택시얼층을 먼저 형성함으로써 상기 캡영역의 종횡비를 감소시킨 후, 통상적인

방법을 사용한 실리콘 산화막으로 나머지 캡영역을 채우는 방법을 사용한다. 이때, 상기 매립 절연막(30)은 상기 트렌치(15) 및 그 상부의 캡영역에 배치되고, 상기 트렌치 마스크(20)는 상기 활성영역(10a) 상에 배치된다. 또한, 상기 실리콘 에피택시얼층을 형성하는 단계는 상기 트렌치(15)의 하부에서 실리콘으로 이루어진 상기 반도체기판(10)의 표면을 노출시키는 단계를 더 포함할 수도 있다.

<34> 도 3a, 도 3b 및 도 3c를 참조하면, 상기 트렌치 마스크(20) 및 상기 매립 절연막(30)을 패터닝하여, 상기 활성영역(10a)을 가로지르는 슬릿형 개구부(40)를 정의하는 트렌치 마스크 패턴(25) 및 매립 절연막 패턴(35)을 형성한다. 이에 따라, 상기 트렌치 마스크 패턴(25)은 직육면체의 모양을 가지면서 상기 활성영역(10a) 상에 배치된다.

<35> 상기 슬릿형 개구부(40)는 상기 활성영역(10a)의 상부면이 노출될 때까지, 상기 트렌치 마스크(20) 및 상기 매립 절연막(30)을 이방성 식각함으로써 형성한다. 이때, 상기 식각 공정은 상기 트렌치 마스크(20) 및 상기 매립 절연막(30)이 동일한 식각 속도로 식각되도록, 두 막들에 대해 식각 선택성을 갖지 않는 식각 레서피를 사용하는 것이 바람직하다. 이에 따라, 상기 슬릿형 개구부(40)의 하부면은 상기 트렌치(15) 상부에서 상기 활성영역(10a)의 상부면과 대략 같은 높이를 갖는다. 한편, 식각 레서피가 상기 두 막들(20, 30)에 대해 서로 다른 식각 속도를 가질 경우, 상기 슬릿형 개구부(40)의 하부면 전체가 평坦해지도록 상기 식각 공정의 여러 조건들을 조절하는 것이 바람직하다.

<36> 앞서 설명한 것처럼, 상기 슬릿형 개구부(40)는 상기 활성영역(10a) 및 상기 트렌치(15)의 상부를 모두 가로지르도록 형성된다. 이에 따라, 상기 매립 절연막 패턴(35)은 높은 상부면과 낮은 상부면(35a)을 함께 갖는, 즉 요철을 갖는 표면을 형성한다. 상기

낮은 상부면(35a)은 상기 트렌치(15) 상부에 형성된 상기 슬릿형 개구부(40)의 하부면에 해당한다.

<37> 한편, 상기 슬릿형 개구부(40)를 형성하기 전에 상기 반도체기판(10)에 불순물 웨л(토시하지 않음)을 형성하기 위한 이온 주입 공정을 더 실시할 수 있다. 상기 불순물 웨л 형성을 위한 이온 주입 공정은 격자 결함 및 이를 치유하기 위한 방법 등을 고려할 때, 공정 순서에서 다양한 변형이 가능하다.

<38> 도 4a, 도 4b 및 도 4c를 참조하면, 상기 슬릿형 개구부(40)의 측벽에 게이트 스페이서(50)를 형성한다.

<39> 상기 게이트 스페이서(50)를 형성하는 단계는 상기 슬릿형 개구부(40)가 형성된 반도체기판 상에 게이트 스페이서막을 콘포말하게 형성하는 단계를 포함한다. 이후, 상기 반도체기판(10)에 대해 식각 선택성을 갖는 식각 레서피를 사용하여, 상기 게이트 스페이서막을 이방성 식각한다.

<40> 이때, 상기 게이트 스페이서막은 상기 트렌치 마스크 패턴(25)에 대해 식각 선택성을 갖는 물질로 형성하며, 바람직하게는 실리콘 산화막으로 형성한다. 또한, 상기 매립 절연막 패턴(35)이 식각 손상을 입지 않도록, 상기 이방성 식각 공정을 실시하는 것이 바람직하다.

<41> 도 5a, 도 5b 및 도 5c를 참조하면, 상기 게이트 스페이서(50)가 형성된 상기 슬릿형 개구부(40)를 채우는 게이트 패턴(60)을 형성한다. 상기 게이트 패턴(60)은 차례로 적층된 게이트 절연막(62), 게이트 도전막 패턴(63) 및 캐핑 패턴(65)으로 구성되는 것이 바람직하다.

<42> 상기 게이트 절연막(62)은 상기 슬릿형 개구부(40)를 통해 노출되는 상기 활성영역(10a)을 열산화시킴으로써 형성되는 실리콘 산화막인 것이 바람직하다. 상기 게이트 도전막 패턴(63)을 형성하는 단계는 상기 게이트 절연막(62)이 형성된 반도체기판 전면에 상기 슬릿형 개구부(40)를 채우는 게이트 도전막을 적층한 후, 이를 전면 식각하는 단계를 포함한다. 이때, 상기 전면 식각 공정은 상기 게이트 도전막 패턴(63)의 상부면이 상기 게이트 스페이서(50)보다 소정의 깊이만큼 낮아지도록 실시한다. 또한, 상기 전면 식각 공정은 상기 트렌치 마스크 패턴(25), 상기 매립 절연막 패턴(35) 및 상기 게이트 스페이서(50)에 대해 식각 선택성을 갖는 식각 레서피를 사용하여 실시한다. 또한, 상기 전면 식각 공정은 등방성 식각 또는 이방성 식각의 방법으로 실시될 수 있다. 이에 더하여, 상기 전면 식각 공정을 실시하기 전에, 상기 게이트 도전막의 상부면을 평탄화시키는 공정을 더 실시할 수도 있다. 상기 게이트 도전막 패턴(63)은 차례로 적층된 결정 실리콘막 및 텅스텐막으로 형성하는 것이 바람직하다. 이때, 각 층은 앞서 설명한 것처럼 적층 및 평탄화 식각 공정을 차례로 실시하여 형성하는 것이 바람직하다.

<43> 상기 캐핑 패턴(65)은 상기 트렌치 마스크 패턴(25)에 대해 식각 선택성을 갖는 물질로 형성한다. 이에 따라, 상기 캐핑 패턴(65)은 상기 게이트 스페이서(50)와 마찬가지로 실리콘 산화막으로 형성하는 것이 바람직하다. 상기 캐핑 패턴(65)은 상기 게이트 도전막 패턴(63)을 포함하는 반도체기판 전면에 캐핑막을 형성한 후, 상기 트렌치 마스크 패턴(25)이 노출될 때까지 상기 캐핑막을 평탄화 식각하여 형성한다. 이에 따라, 상기 캐핑 패턴(65)은, 앞서 설명한 것처럼 상기 게이트 스페이서(50)보다 소정의 깊이만큼 낮은, 상기 게이트 도전막 패턴(63)의 상부면 상에 형성된다. 상기 평탄화 식각 공정은 화학 기계적 연마 기술을 사용하여 실시할 수도 있다.

<44> 한편, 플래쉬 메모리 장치에 사용되는 게이트 패턴의 경우, 상기 게이트 도전막 패턴(63) 및 상기 캐핑 패턴(65) 사이에는 게이트 충간절연막 및 게이트 상부 도전 패턴이 더 형성될 수도 있다. 이때, 상기 게이트 충간절연막은 차례로 적층된 실리콘 산화막-실리콘 질화막-실리콘 산화막(ONO)으로 형성하는 것이 바람직하다. 또한, 상기 게이트 상부 도전 패턴은 차례로 적층된 다결정 실리콘 및 실리사이드로 형성하는 것이 바람직하다. 이 경우, 상기 게이트 도전막 패턴(63)은 다결정 실리콘으로 이루어지는 것이 바람직하다.

<45> 상기 게이트 충간절연막 및 상기 게이트 상부 도전 패턴을 형성하는 단계는 상기 게이트 도전막 패턴(63)을 포함하는 반도체기판의 전면에 상기 게이트 충간절연막을 콘포밀하게 형성하는 단계를 포함한다. 이후, 상기 게이트 충간절연막이 형성된 상기 슬리형 개구부(40)를 채우는 게이트 상부 도전막을 형성한다. 이후, 상기 게이트 상부 도전막을 전면 식각하여 상기 트렌치 마스크 패턴(25)보다 낮은 상부면을 갖는 게이트 상부 도전 패턴을 형성한다. 이에 따라, 상기 게이트 충간절연막은 상기 게이트 상부 도전 패턴 및 상기 캐핑 패턴(65)의 측벽을 덮는 측벽 연장부를 갖는다. 이후, 앞서 설명한 방법에 따라 상기 캐핑 패턴(65)을 형성한다.

<46> 도 6a, 도 6b 및 도 6c를 참조하면, 상기 트렌치 마스크 패턴(25)을 제거하여, 상기 게이트 패턴(60) 양옆의 활성영역(10a)을 노출시키는 접합영역 개구부(77)를 형성한다. 상기 트렌치 마스크 패턴(25)을 제거하는 공정은 상기 매립 절연막 패턴(35), 상기 게이트 스페이서(50) 및 상기 반도체기판(10)에 대해 식각 선택성을 갖는 식각 레서피를 사용하여 실시한다. 상기 제거 공정은 인산을 포함하는 식각액을 사용하는 것이 바람직한데, 건식 식각의 방법이 사용될 수도 있다. 한편, 상기 게이트 도전막 패턴(63)은 상

기 트렌치 마스크 패턴(25) 식각을 위한 식각 레서피에 대해 식각 선택성을 갖는 물질로 이루어진 상기 캐핑 패턴(65) 및 상기 게이트 스페이서(50)에 의해 둘러싸인다. 이에 따라, 상기 식각 공정에서 상기 게이트 도전막 패턴(63)은 식각 손상으로부터 보호될 수 있다.

<47> 상기 접합영역 개구부(77)를 형성한 후, 상기 게이트 패턴(60) 및 상기 게이트 스페이서(50)를 마스크로 사용한 이온 주입 공정을 실시하여, 상기 노출된 활성영역(10a)에 저농도 불순물 영역(72)을 형성한다.

<48> 앞서 설명한 것처럼, 상기 트렌치 마스크 패턴(25)은 직육면체의 모양이므로, 이것 이 제거된 공간인 상기 접합영역 개구부(77) 역시 직육면체의 모양을 갖는다. 따라서, 상기 저농도 불순물 영역(72)은 직사각형의 모양을 갖는다(도 6A 참조). 또한, 상기 트렌치 마스크 패턴(25)은 차례로 적층된 실리콘 산화막 및 실리콘 질화막으로 형성되는 경우, 상기 실리콘 산화막은 상기 접합영역 개구부(77) 형성을 위한 식각 공정에서 제거되지 않을 수도 있다. 이 경우, 상기 제거되지 않은 실리콘 산화막은 상기 저농도 불순물 영역(72) 형성을 위한 이온 주입 공정에서 완충막으로 사용될 수 있다.

<49> 도 7a, 도 7b 및 도 7c를 참조하면, 상기 접합영역 개구부(77)의 측벽에 개구부 스페이서(70)를 형성한다. 상기 개구부 스페이서(70) 및 상기 게이트 패턴(60)을 마스크로 사용한 고농도 이온 주입 공정을 실시하여, 상기 활성영역(10a)에 고농도 불순물 영역(74)을 형성한다. 상기 고농도 불순물 영역(74)은 상기 저농도 불순물 영역(72)과 함께 LDD(lightly doped drain) 구조의 접합영역을 형성한다.

<50> 상기 개구부 스페이서(70)는 실리콘 질화막, 실리콘 산화막 또는 실리콘 산

화질화막 중의 한가지로 형성하는 것이 바람직하다. 이때, 앞서 설명한 것처럼 상기 트렌치 마스크 패턴(25)의 실리콘 산화막이 잔존할 경우, 이 실리콘 산화막은 상기 개구부 스페이서(70) 형성을 위한 이방성 식각 공정에서 식각 정지막의 역할을 한다. 상기 개구부 스페이서(70)를 형성한 후, 상기 잔존하는 실리콘 산화막을 제거하여 상기 활성영 역(10a)을 노출시킨다.

<51> 또한, 상기 개구부 스페이서(70)를 형성하기 전에, 상기 접합영역 개구부(77)의 폭을 확장하기 위한 습식 식각 공정을 더 실시할 수도 있다. 이러한 식각 공정은 상기 트렌치 마스크 패턴(25)을 제거하는 과정을 이용하는 것이 바람직하며, 상기 접합영역 개구부(77)를 형성한 후 실시되는 통상적인 세정 공정을 이용할 수도 있다. 상기 접합영역 개구부(77)의 폭을 확장함으로써, 후속 콘택 플러그 형성 공정을 안정적으로 진행할 수 있다.

<52> 도 8a, 도 8b 및 도 8c를 참조하면, 상기 개구부 스페이서(70)가 형성된 상기 접합영역 개구부(77)를 채우는 콘택 플러그(80)를 형성한다.

<53> 상기 콘택 플러그(80)는 실리콘, 텅스텐, 티타늄, 질화 티타늄, 알루미늄 및 구리 등의 도전성 물질들 중에서 선택된 적어도 한가지 물질로 형성한다. 또한, 이를 형성하는 방법으로는 화학기상 증착(chemical vapor deposition, CVD) 기술 또는 물리기상 증착(physical vapor deposition, PVD) 기술 등이 사용될 수 있다. 이를 더 자세히 설명하면, 상기 개구부 스페이서(70)가 형성된 반도체기판 전면에 상기 접합영역 개구부(77)를 채우는 콘택 플러그 도전막을 상기 방법들을 사용하여 형성한다. 이후, 상기 콘택 플러그 도전막을 전면 식각하여 상기 매립 절연막 패턴(35)을 노출시킨다. 이때, 상기 전면 식각 공정은 화학 기계적 연마 기술을 사용하여 실시하는 것이 바람직하다.

<54> 한편, 상기 콘택 플러그(80)를 실리콘으로 형성할 경우, 상기한 방법들에 더하여 에피택시얼 성장 기술이 사용될 수도 있다. 이때, 상기 콘택 플러그(80)가 형성되는 활성영역은 상기 접합영역 개구부(77)에 의해 한정된다. 따라서, 상기 매립 절연막 패턴(35) 및 상기 개구부 스페이서(70)는 서로 이웃하는 상기 콘택 플러그들(80)을 이격시킨다. 따라서, 에피택시얼 성장 기술로 형성한 실리콘을 상기 콘택 플러그(80)로 사용되는 경우, 서로 이웃하는 콘택 플러그들(80) 사이에 단락(short)은 발생하지 않는다.

<55> 이러한 본 발명의 방법을 따르면, 상기 접합영역 개구부(77)를 서로 다른 물질들 사이의 식각 선택성을 이용하여 형성한다. 이처럼 식각 선택성을 이용할 경우, 상기 접합영역 개구부(77)는 상기 게이트 패턴(60)에 대해 자기 정렬(self-aligned)된다. 이에 따라, 사진 공정을 사용하는 종래 방법의 문제점인, 오정렬의 문제는 최소화될 수 있다. 또한, 본 발명의 방법을 따르면, 상기 접합영역 개구부(77)는 직육면체 모양을 갖게 되어, 사진 공정에서 발생하는 라운딩(rounding) 현상 및 그에 따른 개구부의 폭 감소의 문제가 최소화될 수 있다.

<56> 도 9는 본 발명의 바람직한 실시예에 따른 반도체 장치를 나타내는 사시도이다.

<57> 도 9를 참조하면, 활성영역을 한정하는 트렌치(15)가 반도체기판(10)의 소정영역에 배치된다. 상기 트렌치(15)의 내벽은 차례로 적층된 트렌치 열산화막(6) 및 라이너(7)로 덮인다. 상기 트렌치 열산화막(6) 및 상기 라이너(7)는 각각 실리콘 산화막 및 실리콘 질화막인 것이 바람직하다.

<58> 상기 라이너(7)가 형성된 상기 트렌치(15)는 소자분리막의 역할을 하는 매립 절연막 패턴(35)으로 채워진다. 이에 따라 상기 매립 절연막 패턴(35)은 실리콘 산화막인 것이 바람직하다. 하지만, 상기 트렌치(15)가 단일의 실리콘 산화막으로 매립하기 어려운

정도의 종횡비를 가질 경우, SOG막 또는 실리콘 에피택시얼층이 상기 트렌치(15)의 하부 영역에 배치될 수도 있다. 상기 실리콘 에피택시얼층이 배치될 경우, 상기 트렌치 열산화막(6) 및 상기 라이너(7)의 하부면은 제거되어 상기 트렌치(15)의 하부면을 노출시키는 것이 바람직하다.

<59> 상기 매립 절연막 패턴(35)의 상부에는 상기 활성영역 및 상기 트렌치를 가로지르는 게이트 패턴(60)이 배치된다. 이때, 상기 게이트 패턴(60)의 하부면은 상기 활성영역의 상부면과 같은 높이이다. 즉, 상기 게이트 패턴(60)은 상기 활성영역의 상부면에 접한다. 이에 더하여, 상기 게이트 패턴(60)은 평탄한 하부면을 갖는 것이 바람직하다. 상기 게이트 패턴(60)은 차례로 적층된 게이트 절연막(62), 게이트 도전막 패턴(63) 및 캐핑 패턴(65)으로 구성된다. 상기 게이트 절연막(62)은 상기 활성영역 상에 형성된 실리콘 산화막인 것이 바람직하다. 상기 게이트 도전막 패턴(63)은 다결정 실리콘 및 금속막들 중에서 선택된 적어도 한가지 물질로 이루어진다. 이때, 상기 금속막에는 텅스텐(W), 코발트(Co) 또는 구리(Cu) 등이 포함된다. 상기 캐핑 패턴(65)은 상기 매립 절연막 패턴(35)과 화학적 조성(chemical composition)이 동일한 물질로 이루어지는 것이 바람직하다. 이때, 상기 매립 절연막 패턴(35)의 최상부는 상기 게이트 패턴(60)의 상부와 같은 높이인 것이 바람직하다. 이에 따라, 상기 매립 절연막 패턴(35)은 이웃하는 게이트 패턴(60)들을 절연시키는 충간 절연막의 역할도 한다.

<60> 상기 매립 절연막 패턴(35)은 상기 트렌치(15) 상부에 형성되므로, 상기 활성영역을 덮지 않는다. 따라서, 상기 게이트 패턴(60)과 상기 매립 절연막 패턴(35) 사이에는 상기 활성영역을 노출시키는 접합영역 개구부(77)가 형성된다. 즉, 상기 접합영역 개구부(77)는 상기 게이트 패턴들(60)에 자기 정렬된다. 이에 따라, 상기 접합영역 개구부(77)

는 통상적인 사진/식각 공정을 통해 형성되는 개구부처럼 원통형이 아니라 직육면체 모양의 공간(vacancy)이다. 상기 접합영역 개구부(77)는 이처럼 직육면체 모양이기 때문에, 사진 단계를 포함하는 패터닝 공정에서 발생하는 라운딩 현상의 문제를 최소화 할 수 있다. 상기 라운딩 현상은 실제로 형성되는 개구부의 모서리가 디자인된 개구부의 모양과 달리 둥글어지는 현상으로, 결과적으로 개구부의 폭을 감소시키는 효과를 가져온다.

<61> 상기 접합영역 개구부(77)는 콘택 플러그(80)로 채워진다. 이때, 상기 콘택 플러그(80)와 상기 게이트 패턴(60) 사이의 전기적 절연을 위해, 상기 접합영역 개구부(77)의 측벽에는 개구부 스페이서(70)가 배치된다. 상기 콘택 플러그(80)는 실리콘(Si), 텅스텐(W), 티타늄(Ti), 질화 티타늄(TiN) 및 알루미늄(Al) 중에서 선택된 적어도 한가지 물질이다. 이때, 상기 실리콘은 불순물을 포함하는 에피택시얼 실리콘층 또는 다결정 실리콘층인 것이 바람직하다. 또한, 상기 개구부 스페이서(70)는 실리콘 질화막, 실리콘 산화막 및 실리콘막 중에서 선택된 적어도 한가지 물질이다.

<62> 상기 접합영역 개구부(77) 아래의 활성영역에는 저농도 불순물 영역(72) 및 고농도 불순물 영역(74)이 LDD 구조를 이루어지는 접합영역이 배치된다. 또한, 상기 게이트 패턴(60)의 측벽에는 게이트 스페이서(50)가 배치된다. 상기 게이트 스페이서(50)는 상기 매립절연막 패턴(35)과 화학적 조성이 같은 물질, 바람직하게는 실리콘 산화막이다. 이에 더하여, 상기 게이트 스페이서(50)는 이방성 식각을 통해 형성되는 일반적인 스페이서의 모양을 갖는 것이 바람직하다. 이에 따라, 상기 게이트 패턴(60)에 접하는 측벽은 휘어진 모양일 수도 있다. 이 경우, 상기 게이트 패턴(60)의 하부 영역의 폭은 상부 영역의 폭보다 넓다.

<63> 이때, 상기 게이트 패턴(60)은 플래쉬 메모리에서 사용되는 게이트 패턴일 수도 있다. 이 경우, 상기 게이트 도전막 패턴(63) 및 상기 캐핑 패턴(65) 사이에는 차례로 적층된 게이트 층간절연막 및 게이트 상부 도전 패턴이 더 배치될 수도 있다. 상기 게이트 층간절연막은 실리콘 산화막-실리콘 질화막-실리콘 산화막(ONO)으로 이루어지는 것이 바람직하다. 이때, 상기 게이트 층간절연막은 상기 게이트 상부 도전 패턴 및 상기 캐핑 패턴(65)의 측벽을 덮는 측벽 연장부를 갖는다. 또한, 상기 게이트 상부 도전 패턴은 차례로 적층된 다결정 실리콘막 및 실리사이드인 것이 바람직하다.

【발명의 효과】

<64> 본 발명에 따르면, 서로 다른 물질들 사이의 식각 선택성을 이용하여 접합영역 개구부를 형성한다. 이처럼 식각 선택성을 이용할 경우, 상기 접합영역 개구부는 게이트 패턴에 대해 자기 정렬된다. 이에 따라, 사진 공정을 사용하여 상기 접합영역 개구부를 형성할 때 발생하는 오정렬의 문제를 최소화할 수 있다. 그 결과 더욱 고집적화된 반도체 장치를 제조할 수 있다.

<65> 또한, 본 발명에 따르면, 접합영역 개구부는 게이트 패턴에 자기정렬되면서 직육면체 모양을 갖는다. 따라서, 라운딩(rounding) 현상에 따른 개구부의 폭 감소의 문제는 최소화된다. 그 결과, 더욱 고집적화된 반도체 장치를 제조할 수 있다.

【특허청구범위】**【청구항 1】**

반도체기판 상에 복수개의 트렌치 마스크들을 형성하는 단계;

상기 트렌치 마스크들을 식각 마스크로 사용하여 상기 반도체기판을 식각함으로써, 활성영역을 한정하는 트렌치를 형성하는 단계;

상기 트렌치 마스크의 상부면을 노출시키면서, 상기 트렌치 및 상기 트렌치 마스크 들에 의해 이루어지는 캡영역을 채우는 매립절연막을 형성하는 단계;

상기 활성영역의 상부면이 노출될 때까지 상기 트렌치 마스크 및 상기 매립절연막 을 패터닝하여, 상기 활성영역을 가로지르는 슬릿형 개구부를 정의하는 트렌치 마스크 패턴 및 매립절연막 패턴을 형성하는 단계;

상기 슬릿형 개구부 내에 게이트 패턴을 형성하는 단계;

상기 트렌치 마스크 패턴을 제거하여 상기 활성영역을 노출시키는 접합영역 개구 부를 형성하는 단계; 및

상기 접합영역 개구부를 채우는 콘택 플러그를 형성하는 단계를 포함하는 것을 특 징으로 하는 반도체 장치의 제조 방법.

【청구항 2】

제 1 항에 있어서,

상기 트렌치 마스크는 상기 매립절연막에 대해 식각 선택성을 갖는 물질로 형성하 는 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 3】

제 1 항에 있어서,

상기 트렌치 마스크는 실리콘 절화막으로 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 4】

제 1 항에 있어서,

상기 트렌치를 형성하기 위한 식각 공정은 이방성 식각의 방법으로 실시하는 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 5】

제 1 항에 있어서,

상기 매립 절연막을 형성하기 전에,

상기 트렌치의 내벽을 덮는 트렌치 산화막을 형성하는 단계; 및

상기 트렌치 산화막을 포함하는 반도체기판 전면에 라이너막을 형성하는 단계를 더 포함하는 반도체 장치의 제조 방법.

【청구항 6】

제 5 항에 있어서,

상기 트렌치 산화막은 열산화 공정을 통해 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 7】

제 5 항에 있어서,

상기 라이너는 실리콘 질화막으로 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 8】

제 1 항에 있어서,
상기 매립절연막을 형성하는 단계는
상기 트렌치가 형성된 반도체기판 전면에, 상기 트렌치 및 상기 트렌치 마스크로 이루어지는 갭영역을 채우는 절연막을 형성하는 단계; 및
상기 트렌치 마스크가 노출될 때까지, 상기 절연막을 평坦화 식각하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 9】

제 8 항에 있어서,
상기 절연막은 복수번의 적층 및 식각 공정을 통해 형성되는 다층막인 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 10】

제 1 항에 있어서,
상기 매립절연막은 화학 기상 증착 또는 스펀 코팅의 방법을 통해 형성한 실리콘 산화막 및 화학 기상 증착 또는 에피택시얼 방법을 통해 형성한 실리콘막 중에서 선택된 적어도 한가지 물질인 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 11】

제 1 항에 있어서,

상기 슬릿형 개구부를 형성하는 단계는 상기 활성영역의 상부면이 노출될 때까지
상기 매립절연막 및 상기 트렌치 마스크를 이방성 식각의 방법으로 식각하는 것을 특징
으로 하는 반도체 장치의 제조 방법.

【청구항 12】

제 1 항에 있어서,

상기 슬릿형 개구부를 형성하는 단계는 상기 트렌치의 상부에 형성된 상기 매립절
연막 패턴의 상부면이 상기 노출된 활성영역의 상부면과 같은 높이를 갖도록 실시하는
것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 13】

제 1 항에 있어서,

상기 슬릿형 개구부를 형성하기 전에, 상기 반도체기판에 웰(well)을 형성하기 위
한 이온 주입 공정을 더 실시하는 반도체 장치의 제조 방법.

【청구항 14】

제 1 항에 있어서,

상기 콘택 플러그를 형성하기 전에, 상기 접합영역 개구부를 통해 노출되는 상기
활성영역에 소오스/드레인 형성을 위한 이온 주입 공정을 더 실시하는 반도체 장치의 제
조 방법.

【청구항 15】

제 1 항에 있어서,

상기 게이트 패턴을 형성하기 전에, 상기 슬릿형 개구부의 내부 측벽에 게이트 스페이서를 형성하는 단계를 더 포함하는 반도체 장치의 제조 방법.

【청구항 16】

제 15 항에 있어서,
상기 게이트 스페이서는 상기 트렌치 마스크 패턴에 대해 식각 선택성을 갖는 물질로 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 17】

제 1 항에 있어서,
상기 콘택 플러그를 형성하기 전에, 상기 접합영역 개구부의 내부 측벽에 개구부 스페이서를 형성하는 단계를 더 포함하는 반도체 장치의 제조 방법.

【청구항 18】

제 17 항에 있어서,
상기 개구부 스페이서를 형성하기 전에, 상기 접합영역 개구부의 폭을 증가시키기 위한 등방성 식각 공정을 더 실시하는 반도체 장치의 제조 방법.

【청구항 19】

제 1 항에 있어서,
상기 콘택 플러그를 형성하는 단계는 에피택시얼 성장 기술을 사용하여, 실리콘 원자를 포함하는 도전성 물질층을 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 20】

제 1 항에 있어서,

상기 콘택 플러그를 형성하는 단계는

상기 접합영역 개구부를 채우는 콘택 플러그 도전막을 형성하는 단계; 및

상기 매립절연막 패턴의 상부면이 노출될 때까지 상기 콘택 플러그 도전막을 평탄화 식각하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 21】

제 1 항에 있어서,

상기 게이트 패턴을 형성하는 단계는

상기 슬릿형 개구부를 통해 노출된 상기 활성영역에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막이 형성된 상기 슬릿형 개구부의 하부 영역을 채우는 게이트 도전막 패턴을 형성하는 단계; 및

상기 게이트 도전막 패턴이 형성된 상기 슬릿형 개구부의 상부 영역을 채우는 캐핑 절연막 패턴을 형성하는 단계를 포함하되, 상기 게이트 도전막 패턴은 상기 트렌치 마스크 패턴 및 상기 매립 절연막 패턴보다 낮은 상부면을 갖는 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 22】

제 21 항에 있어서,

상기 게이트 절연막은 열산화 공정을 통해 형성하는 실리콘 산화막인 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 23】

제 21 항에 있어서,
상기 게이트 도전막 패턴은 다결정 실리콘막 및 금속막들 중의 적어도 한가지로 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 24】

제 21 항에 있어서,
상기 캐핑 절연막 패턴은 상기 트렌치 마스크 패턴에 대해 식각 선택성을 갖는 물질로 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 25】

제 21 항에 있어서,
상기 캐핑 절연막 패턴을 형성하기 전에,
상기 게이트 도전막 패턴이 형성된 상기 슬릿형 개구부의 내벽을 콘포말하게 덮는 게이트 충간절연막을 형성하는 단계;
상기 게이트 충간절연막을 포함하는 반도체기판 전면에, 상기 슬릿형 개구부를 채우는 게이트 상부 도전막을 형성하는 단계;
상기 게이트 상부 도전막을 전면식각하여, 상기 트렌치 마스크 패턴 및 상기 매립 절연막 패턴보다 낮은 상부면을 갖는 게이트 상부 도전 패턴을 형성하는 단계를 더 포함하는 반도체 장치의 제조 방법.

【청구항 26】

제 25 항에 있어서,

상기 게이트 층간절연막은 산화막-질화막-산화막(ONO)인 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 27】

제 25 항에 있어서,

상기 게이트 상부 도전막은 차례로 적층된 다결정 실리콘 및 실리사이드로 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 28】

제 21 항에 있어서,

상기 게이트 도전막 패턴을 형성하는 단계는

상기 게이트 절연막을 포함하는 반도체기판 전면에, 상기 슬릿형 개구부를 채우는 게이트 도전막을 형성하는 단계; 및

상기 게이트 도전막의 상부면이 상기 슬릿형 개구부보다 낮아질 때까지, 상기 게이트 도전막을 전면 식각하는 단계를 포함하는 반도체 장치의 제조 방법.

【청구항 29】

제 1 항에 있어서,

상기 게이트 패턴은 상기 트렌치 마스크 패턴에 대해 식각 선택성을 갖는 물질로 덮이는 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 30】

활성영역을 한정하는 트렌치가 형성된 반도체기판;
상기 트렌치를 채우면서 상기 반도체기판 상에 배치되어, 상기 활성영역을 노출시키는 접합영역 개구부를 구비하는 매립 절연막 패턴; 및
상기 접합영역 개구부를 통해 상기 활성영역에 접속하는 콘택 플러그를 포함하되,
상기 접합영역 개구부는 직육면체 모양의 공간(vacancy)인 것을 특징으로 하는 반도체
장치.

【청구항 31】

제 30 항에 있어서,
상기 매립 절연막 패턴은 실리콘 산화막, SOG막 및 실리콘막 중에서 선택된 적어도
한가지인 것을 특징으로 하는 반도체 장치.

【청구항 32】

제 30 항에 있어서,
상기 활성영역 및 상기 트렌치를 가로지르는 슬릿형 개구부 내에 배치되는 게이트
패턴을 더 포함하되, 상기 슬릿형 개구부는 상기 매립절연막 패턴 및 상기 콘택 플러그
들의 측벽에 의해 정의되는 것을 특징으로 하는 반도체 장치.

【청구항 33】

제 32 항에 있어서,
상기 게이트 패턴의 상부면은 상기 매립 절연막 패턴의 최상부와 높이가 같은 것을
특징으로 하는 반도체 장치.

【청구항 34】

제 32 항에 있어서,

상기 게이트 패턴은 차례로 적층된 게이트 절연막, 게이트 도전막 패턴 및 캐핑 패턴인 것을 특징으로 하는 반도체 장치.

【청구항 35】

제 34 항에 있어서,

상기 캐핑 패턴은 상기 매립절연막 패턴과 화학적 조성이 동일한 물질인 것을 특징으로 하는 반도체 장치.

【청구항 36】

제 32 항에 있어서,

상기 게이트 패턴의 측벽에는 상기 게이트 패턴을 상기 콘택 플러그 및 상기 매립 절연막 패턴으로부터 이격시키는 게이트 스페이서가 더 배치되는 것을 특징으로 하는 반도체 장치.

【청구항 37】

제 34 항에 있어서,

상기 게이트 도전막 패턴 및 상기 캐핑 패턴 사이에는 차례로 적층된 게이트 층간 절연막 및 게이트 상부 도전 패턴이 더 배치되는 것을 특징으로 하는 반도체 장치.

【청구항 38】

제 37 항에 있어서,

상기 게이트 층간절연막은 산화막-질화막-산화막인 것을 특징으로 하는 반도체 장치.

【청구항 39】

제 37 항에 있어서,

상기 게이트 층간절연막은 상기 게이트 상부 도전 패턴의 측벽을 덮는 측벽 연장부를 구비하는 것을 특징으로 하는 반도체 장치.

【청구항 40】

제 34 항에 있어서,

상기 게이트 도전막 패턴은 다결정 실리콘 및 금속막들 중에서 선택된 적어도 한가지인 것을 특징으로 하는 반도체 장치.

【청구항 41】

제 30 항에 있어서,

상기 콘택 플러그는 불순물을 포함하는 에피택시얼 실리콘층 또는 다결정 실리콘층인 것을 특징으로 하는 반도체 장치.

【청구항 42】

제 30 항에 있어서,

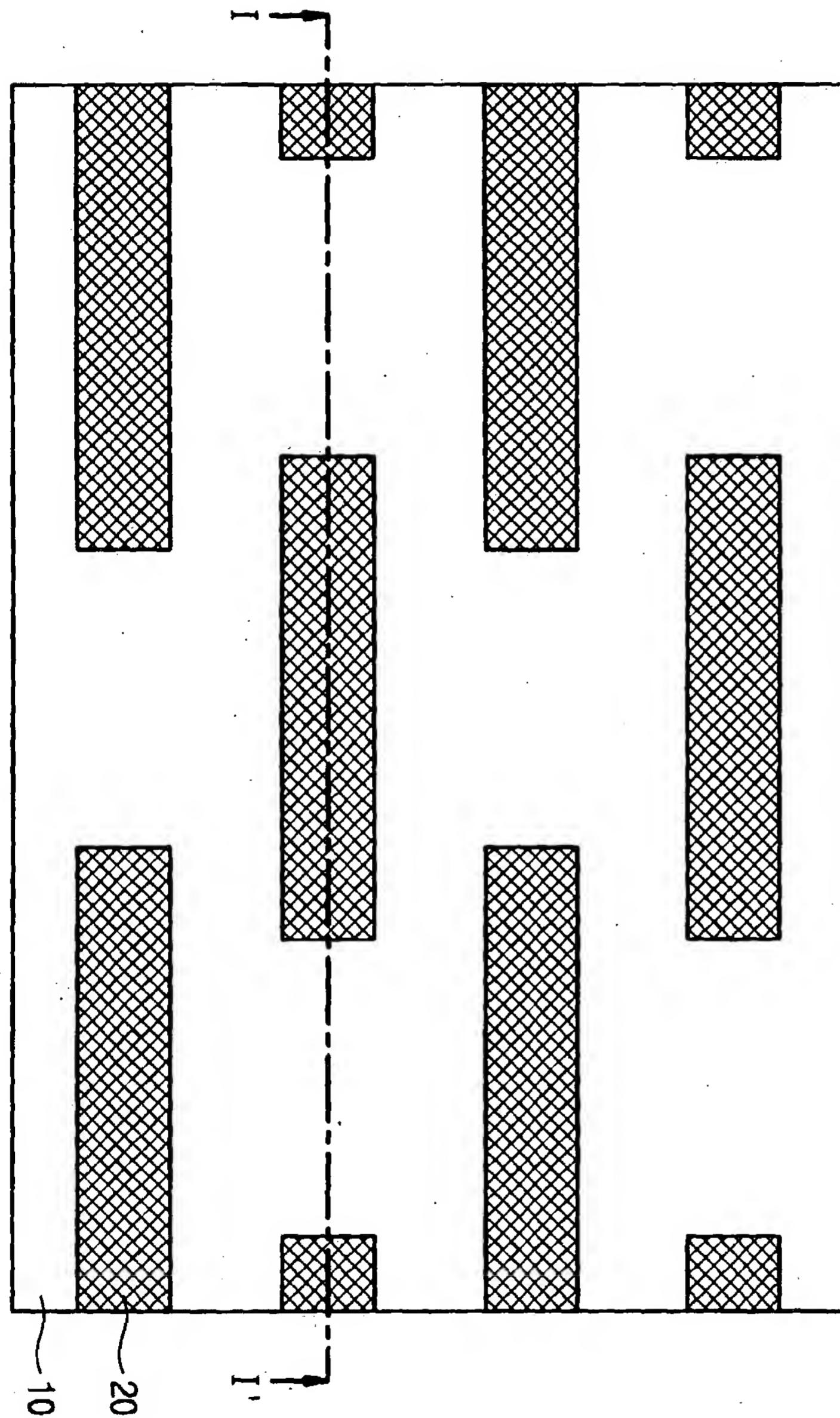
상기 접합영역 개구부와 상기 콘택 플러그 사이에 배치되는 개구부 스페이서를 더 포함하는 반도체 장치.

1020020044223

출력 일자: 2003/3/3

【도면】

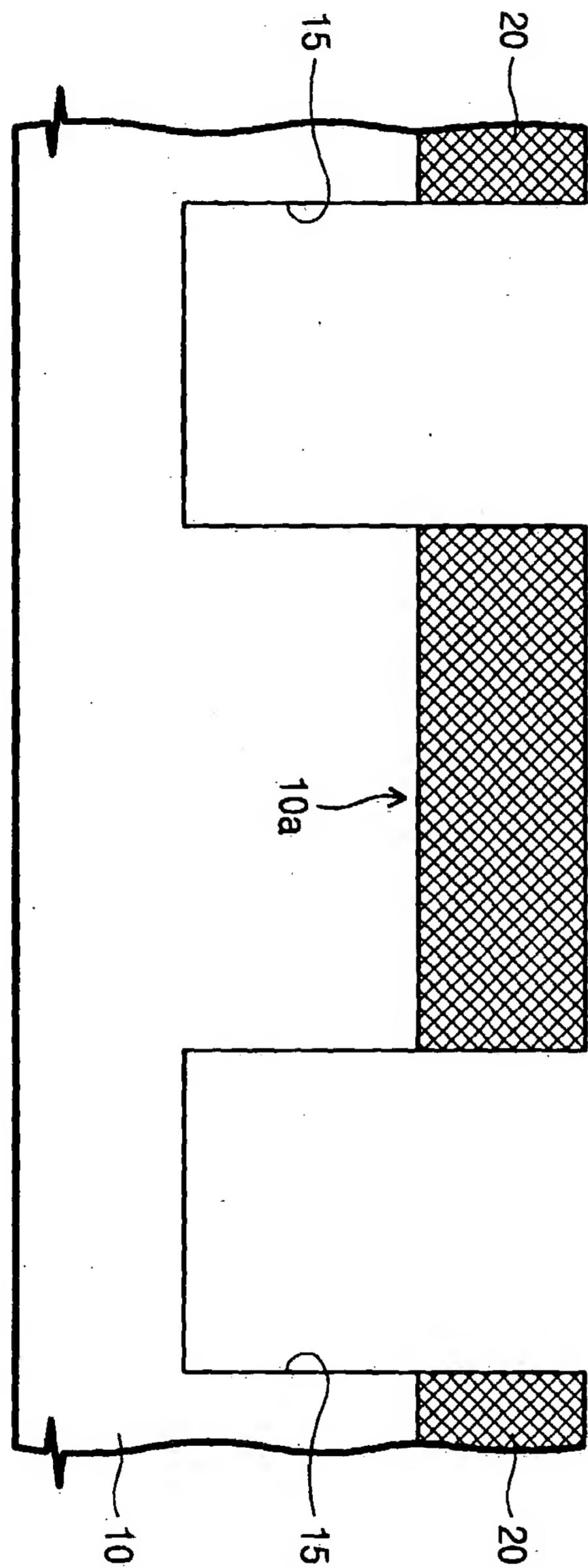
【도 1a】



1020020044223

출력 일자: 2003/3/3

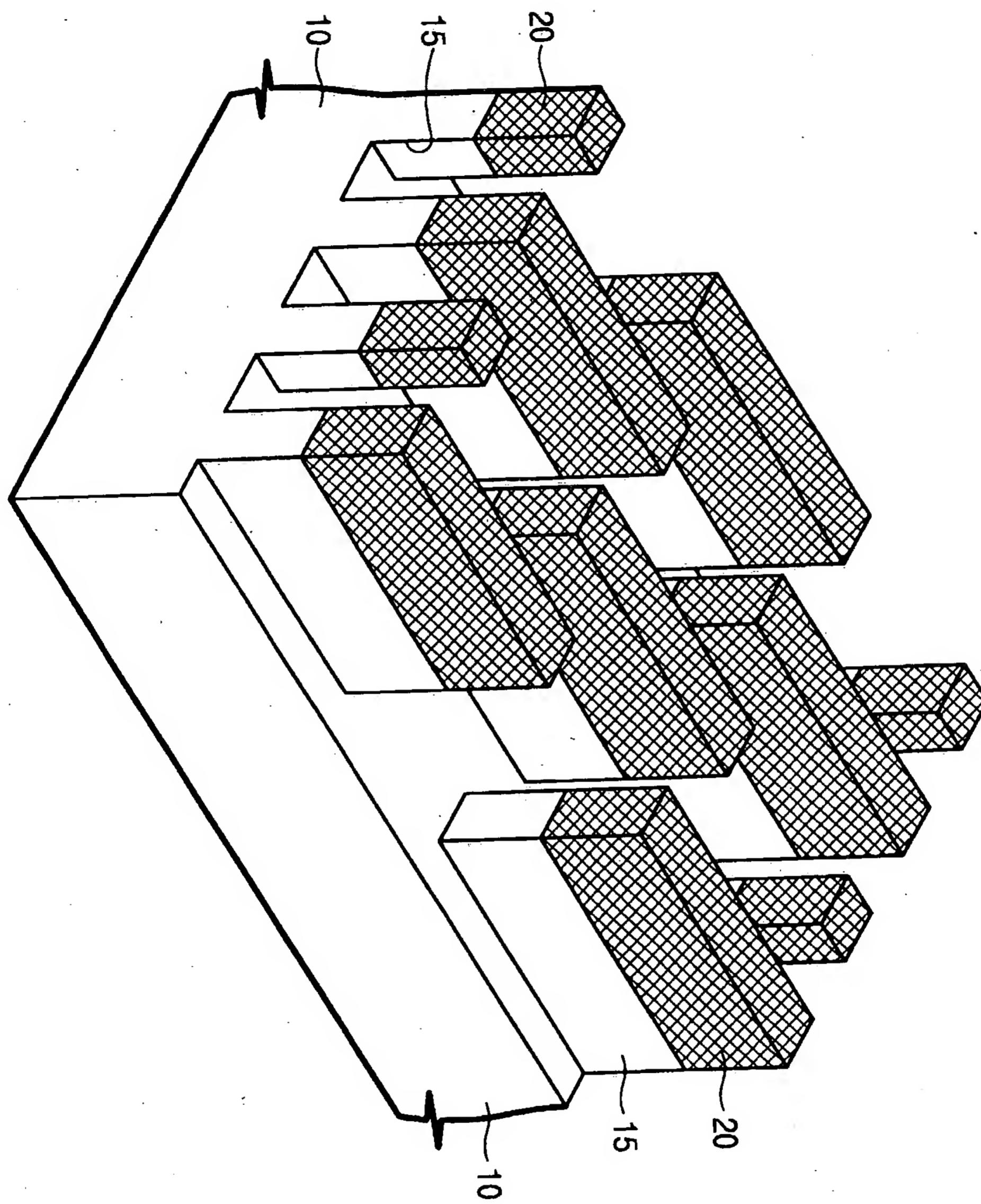
【도 1b】



출력 일자: 2003/3/3

1020020044223

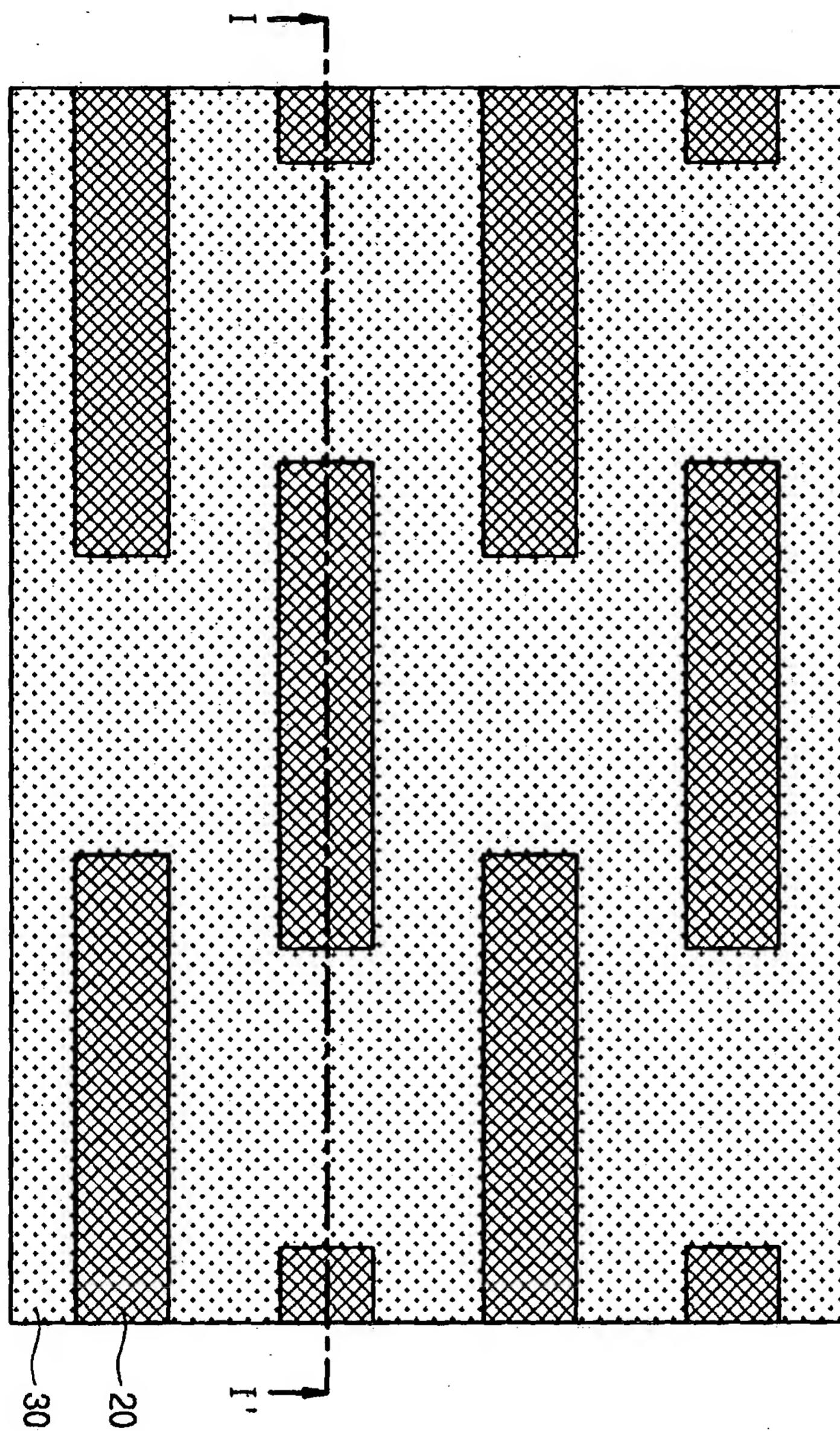
【도 1c】



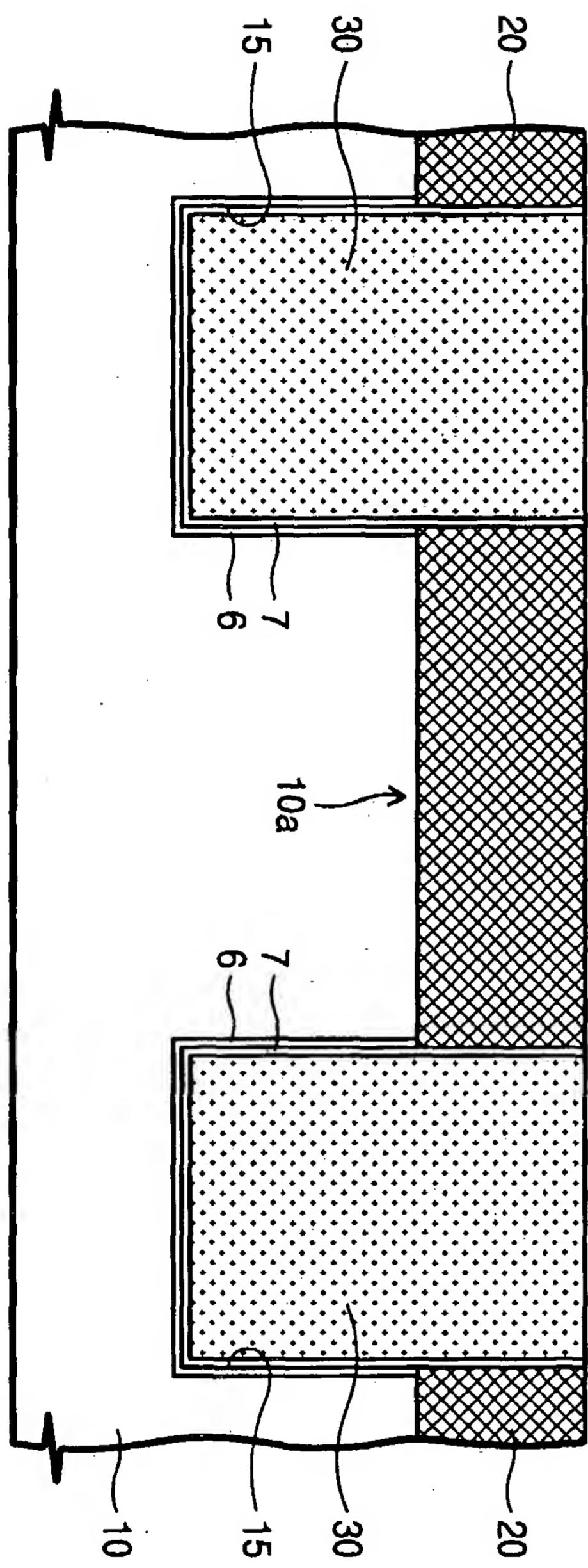
1020020044223

출력 일자: 2003/3/3

【도 2a】



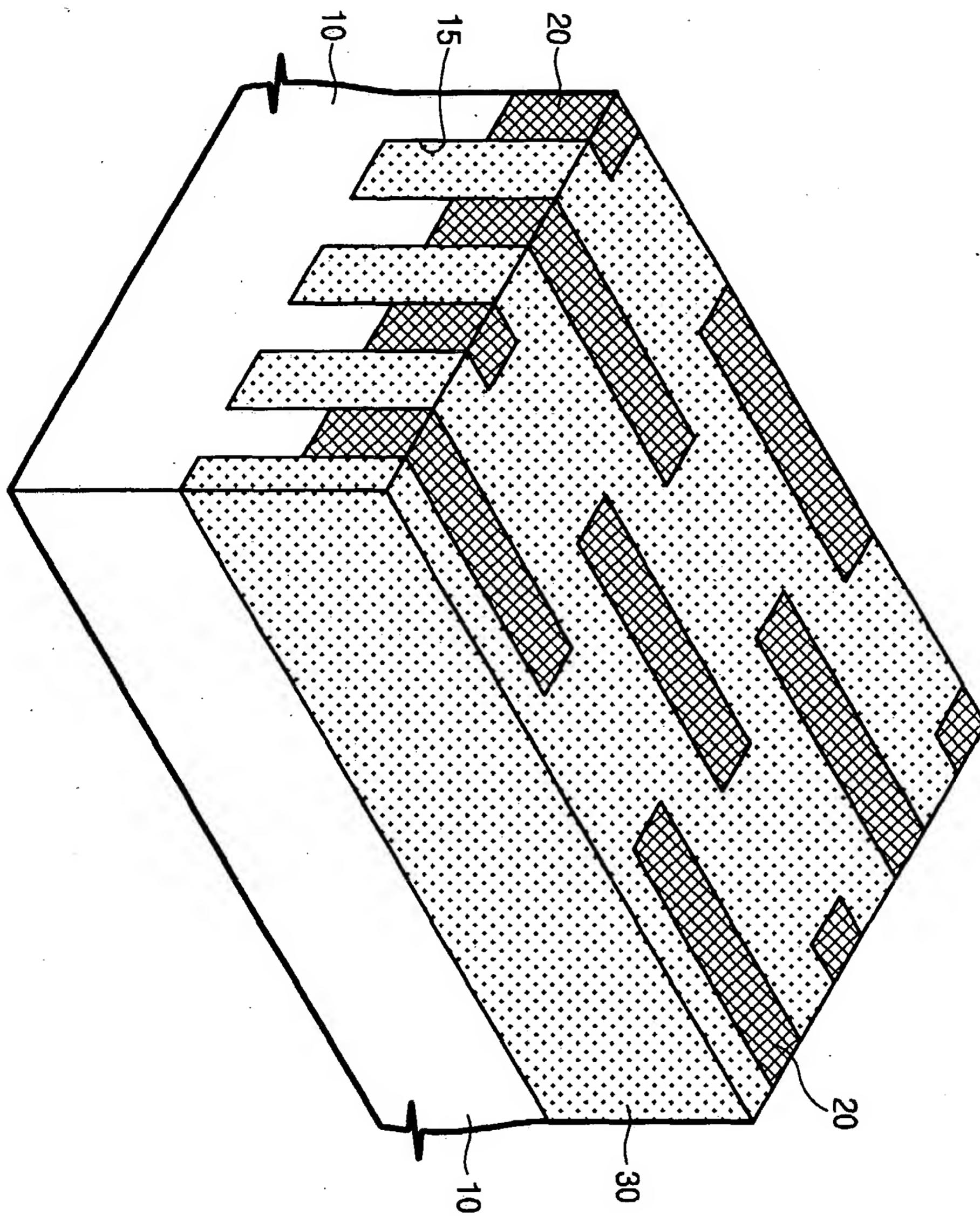
【도 2b】



1020020044223

출력 일자: 2003/3/3

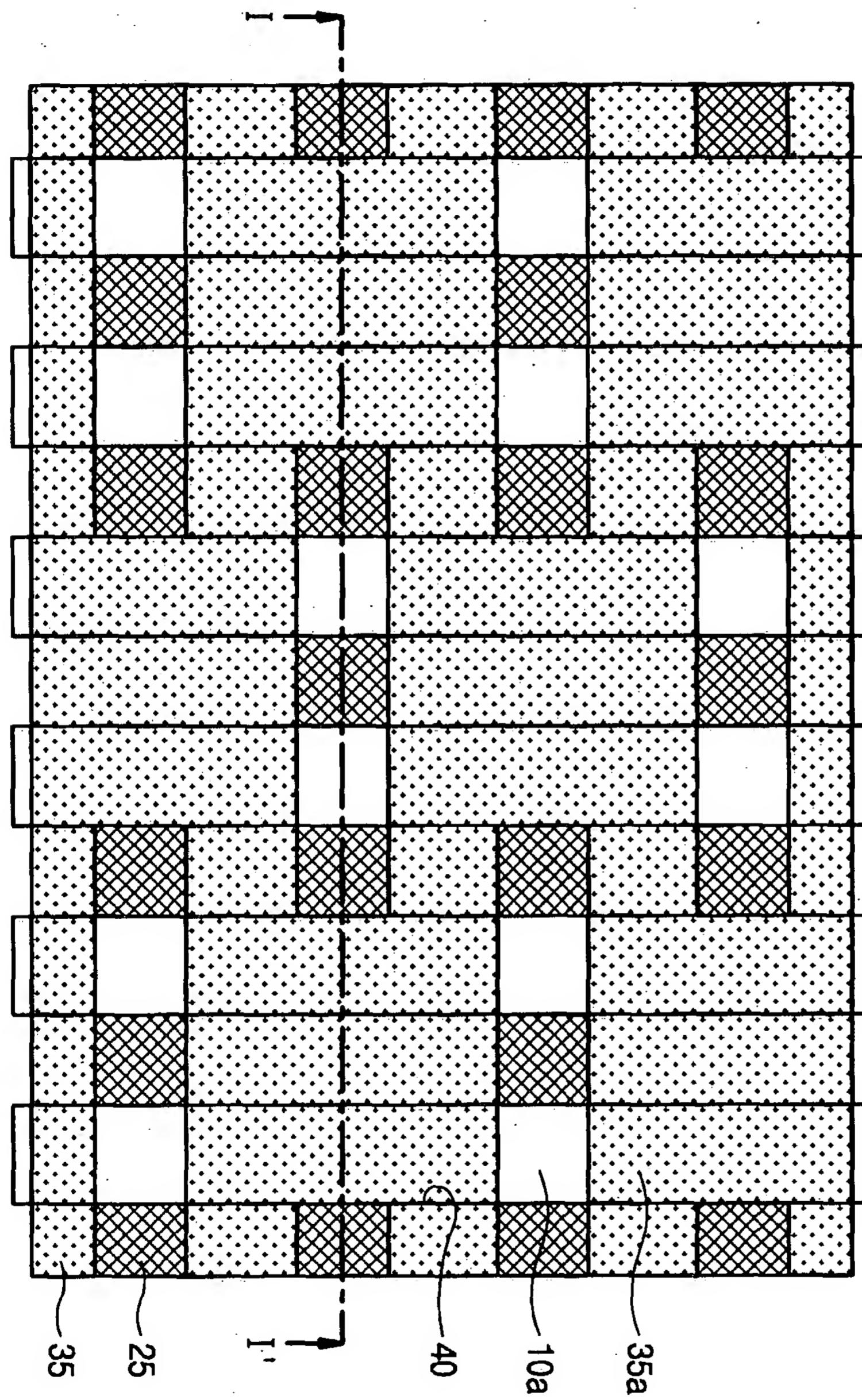
【도 2c】



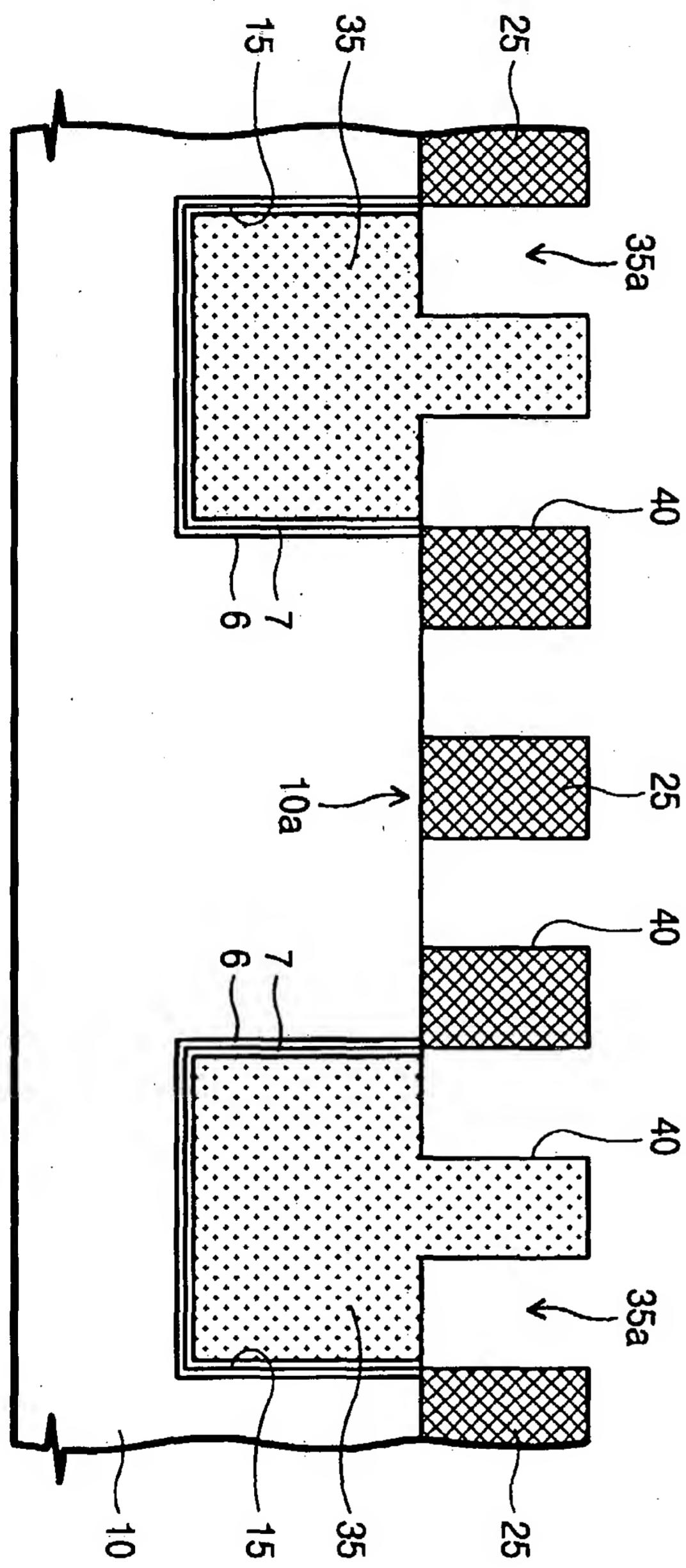
1020020044223

출력 일자: 2003/3/3

【도 3a】



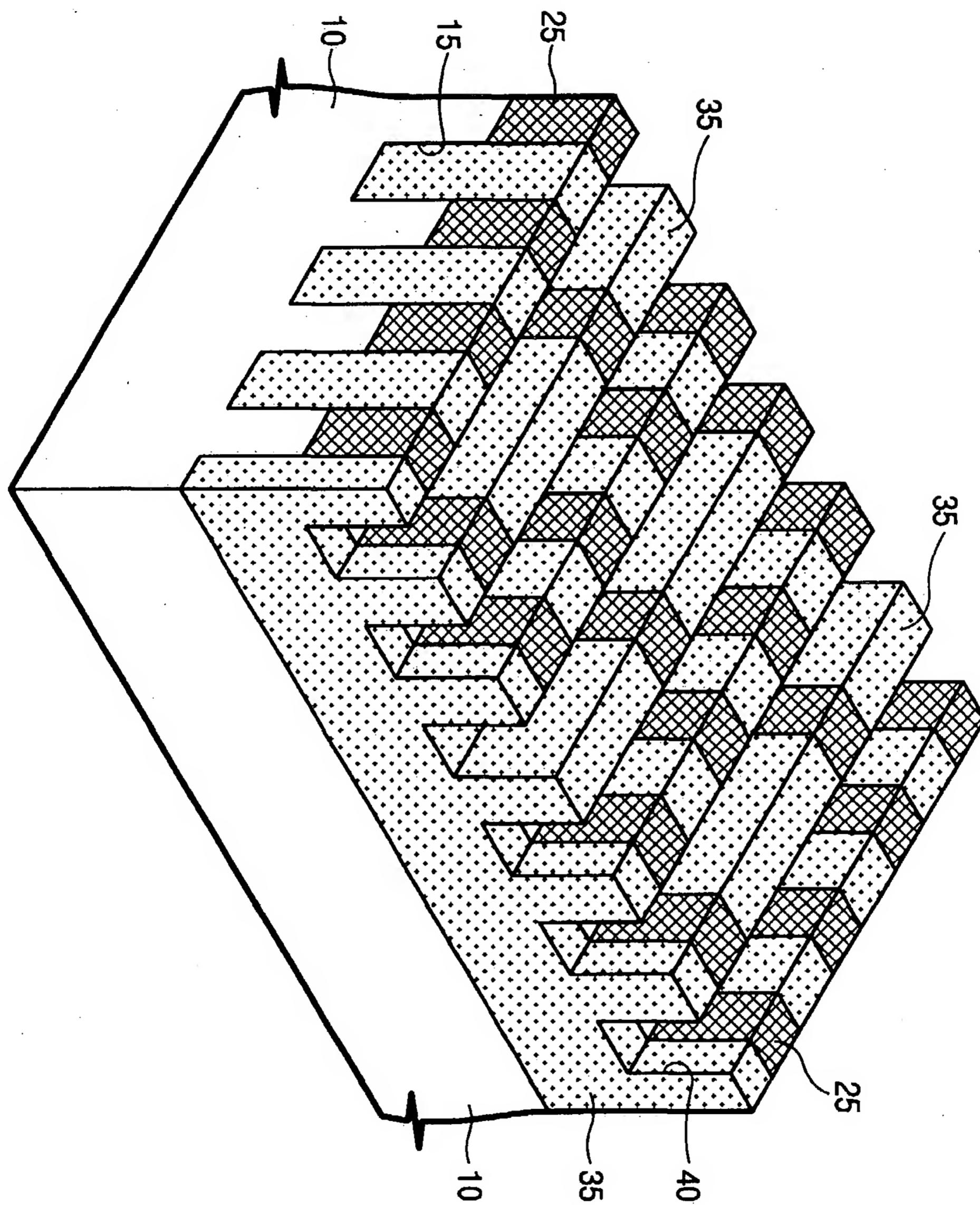
【도 3b】



1020020044223

출력 일자: 2003/3/3

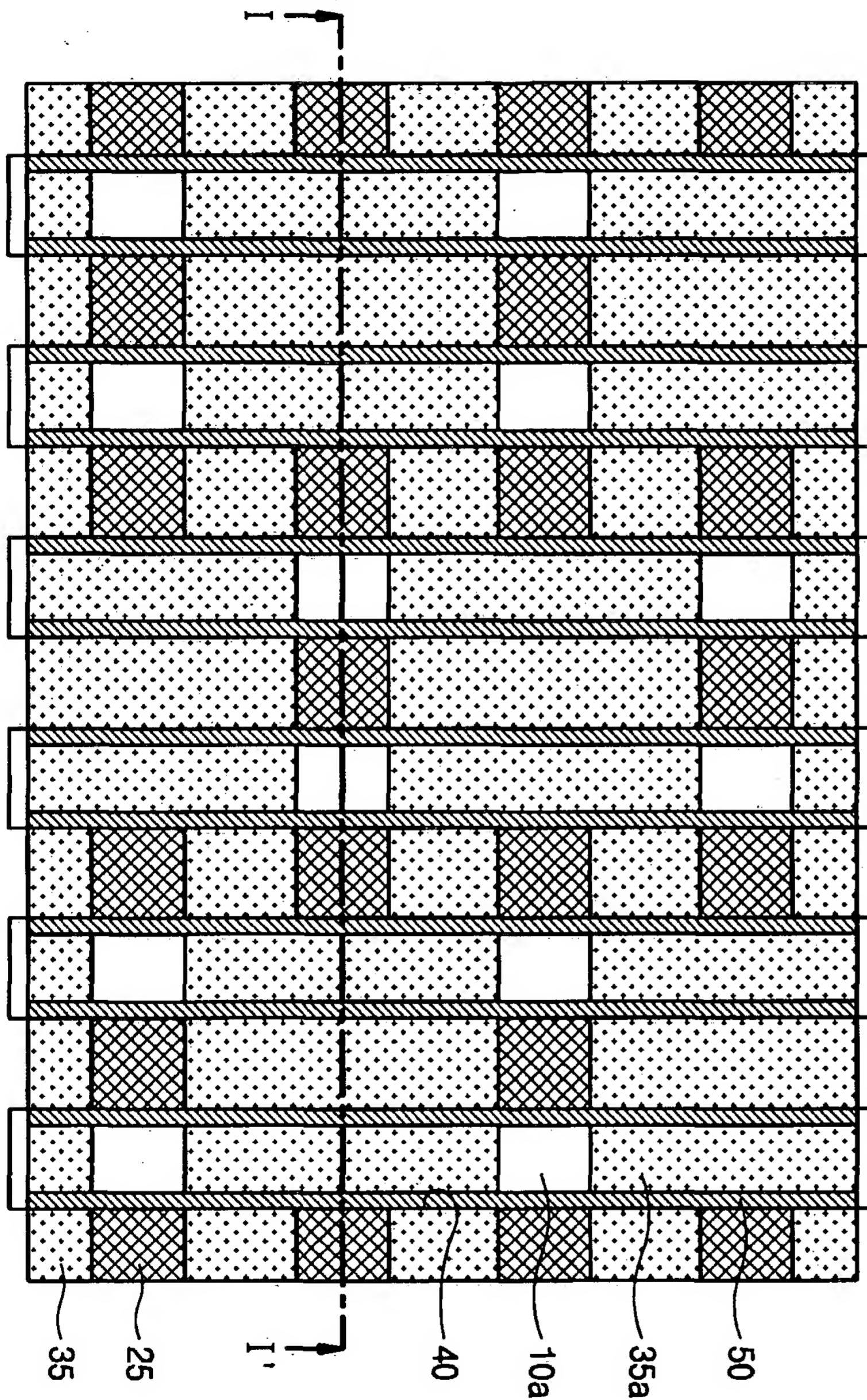
【도 3c】



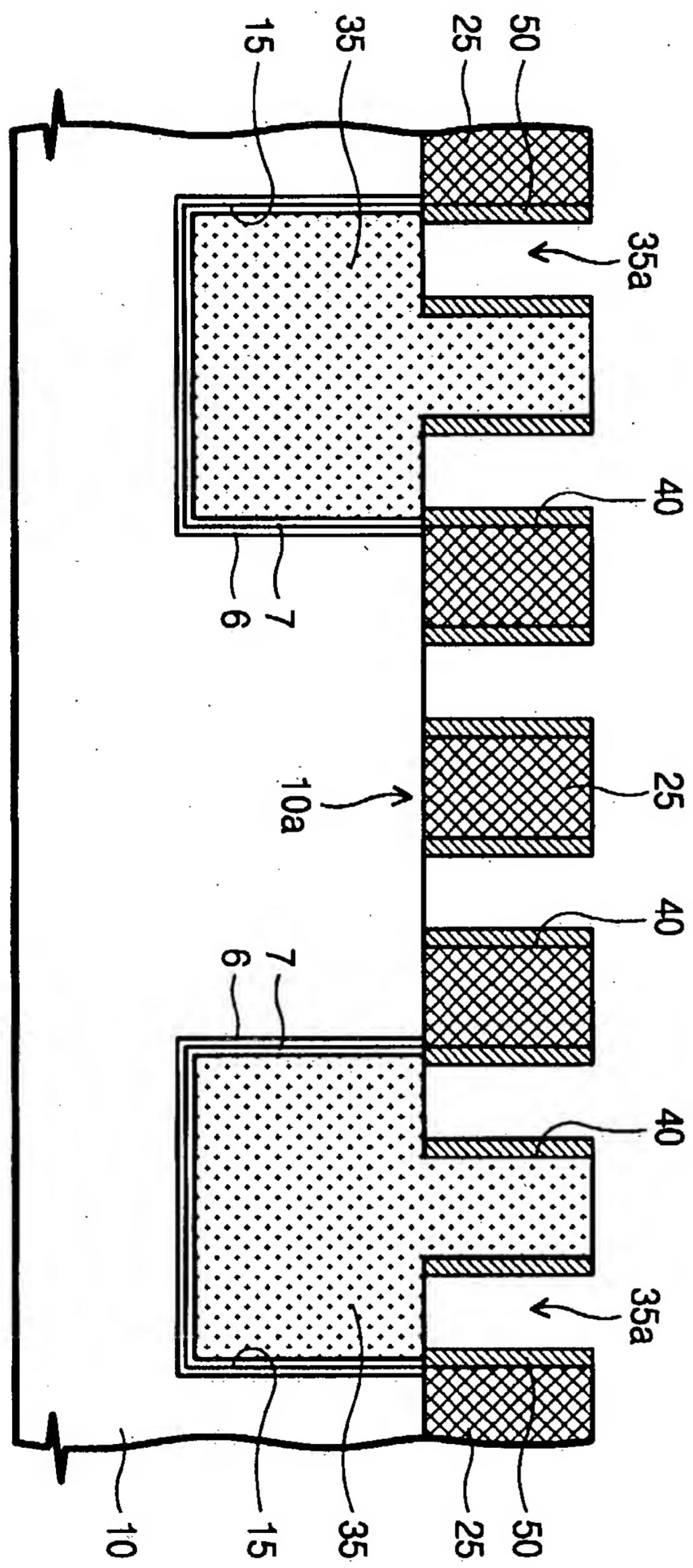
1020020044223

출력 일자: 2003/3/3

【도 4a】



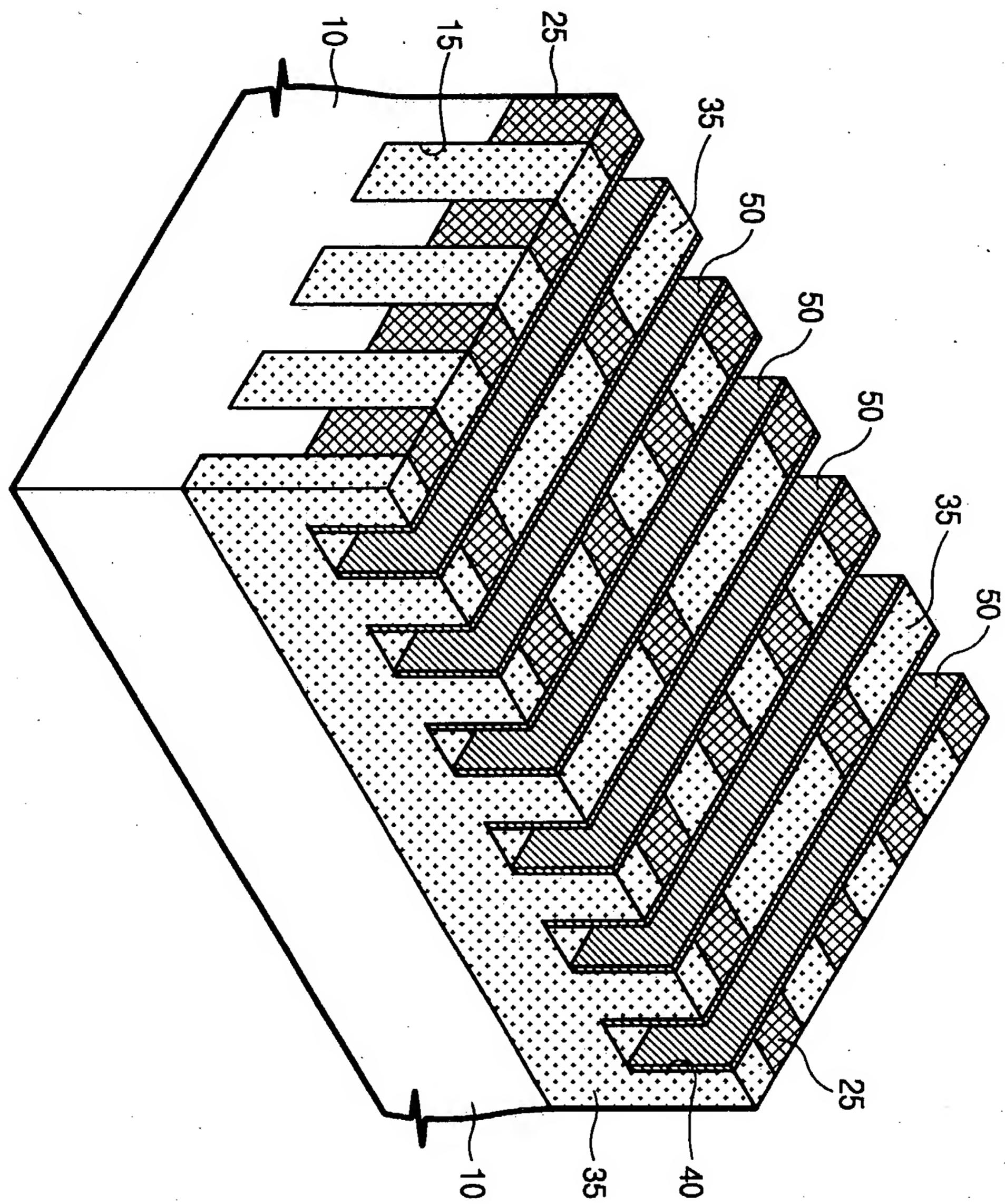
【도 4b】



1020020044223

출력 일자: 2003/3/3

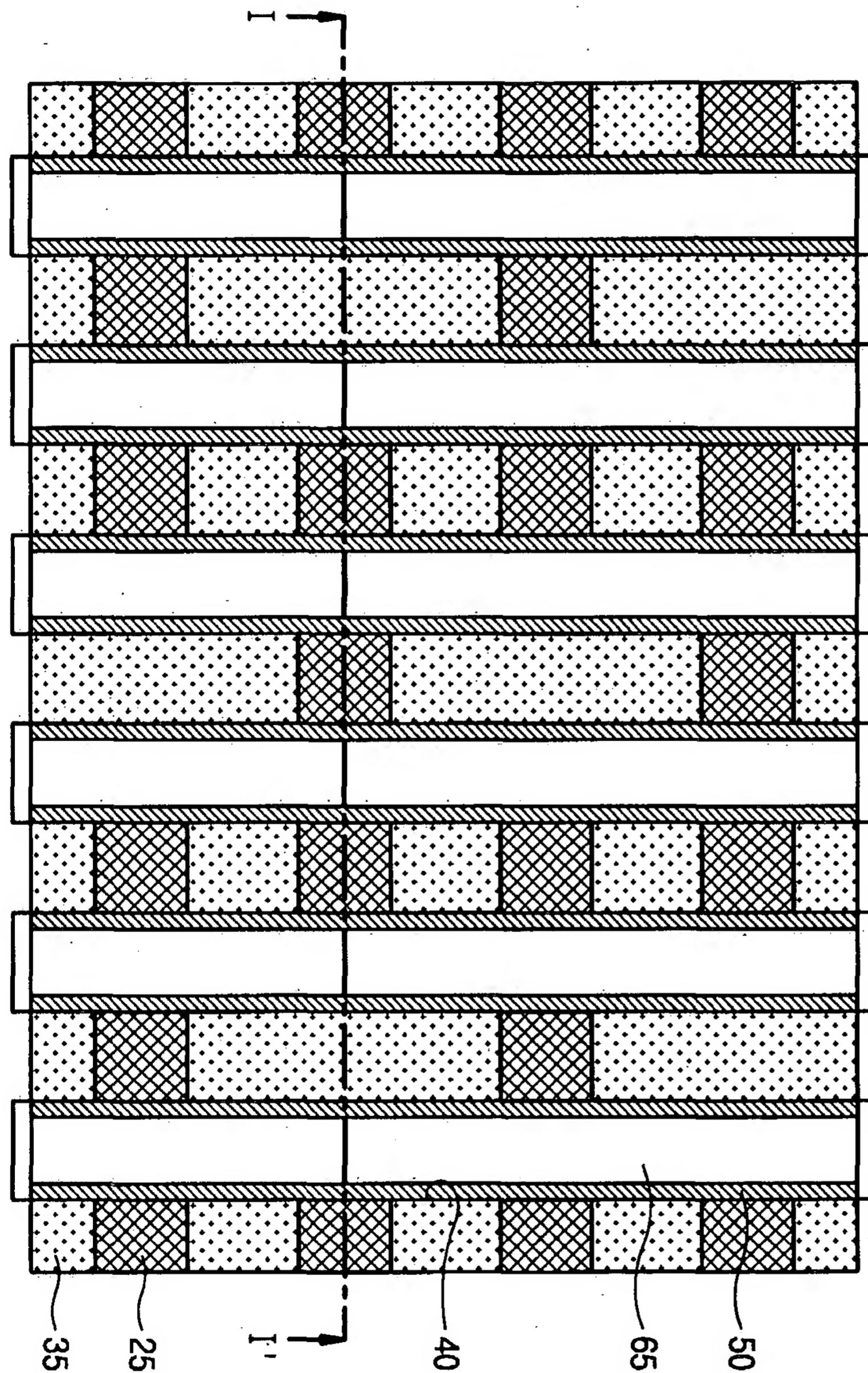
【도 4c】



1020020044223

출력 일자: 2003/3/3

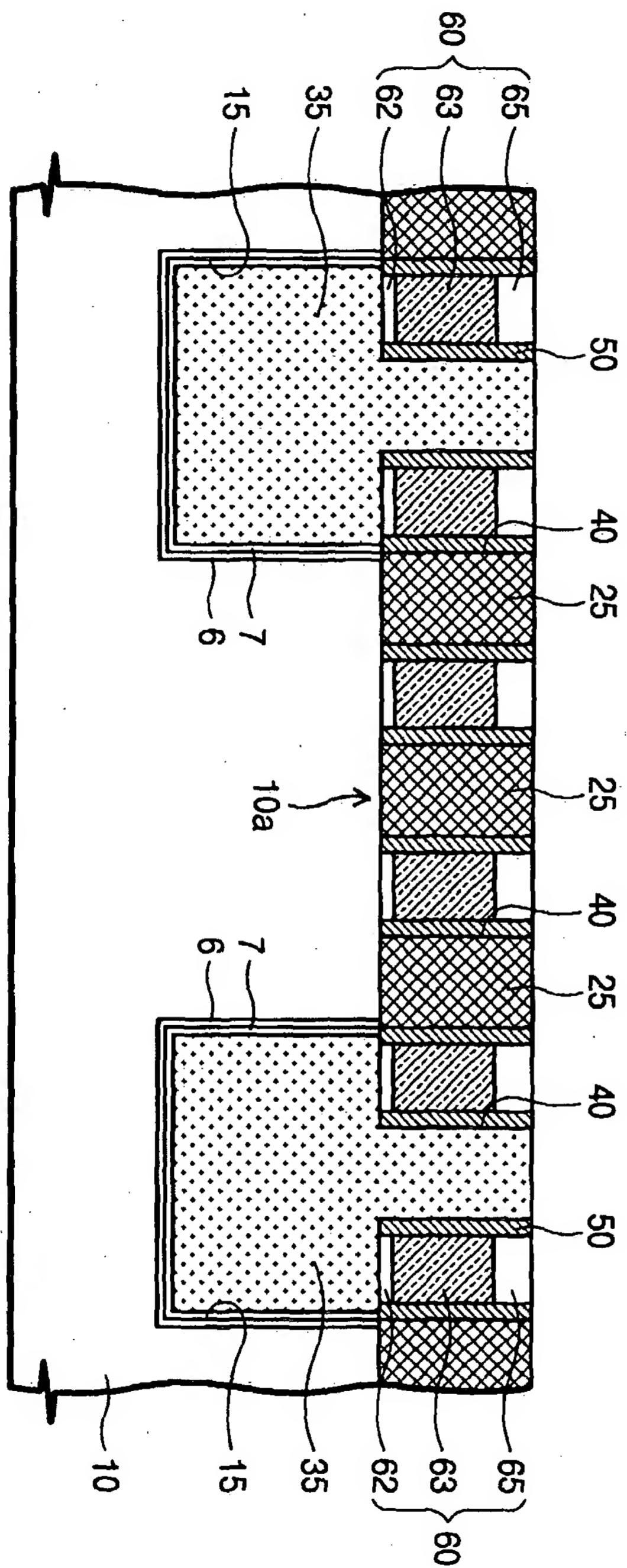
【도 5a】



1020020044223

출력 일자: 2003/3/3

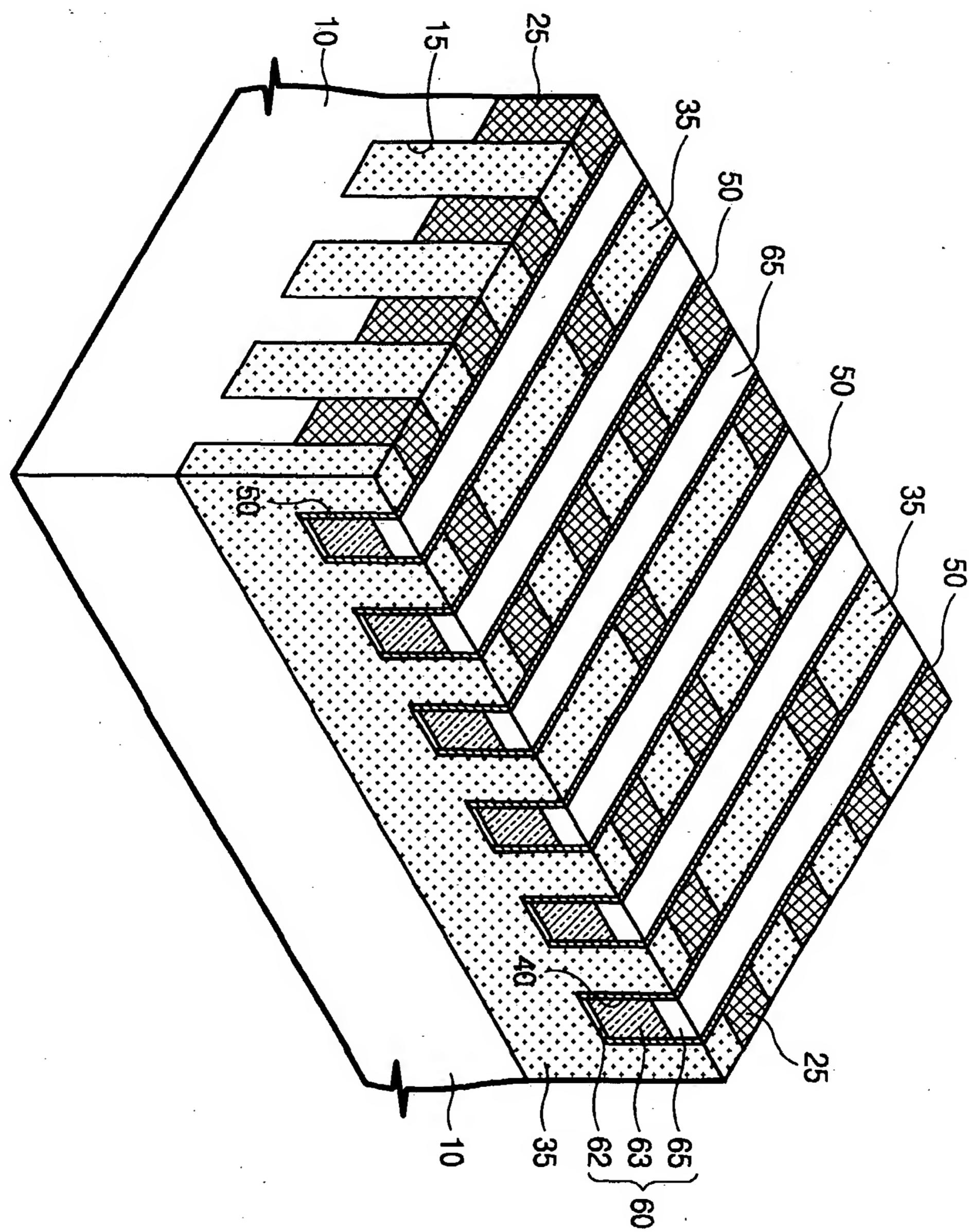
【도 5b】



1020020044223

출력 일자: 2003/3/3

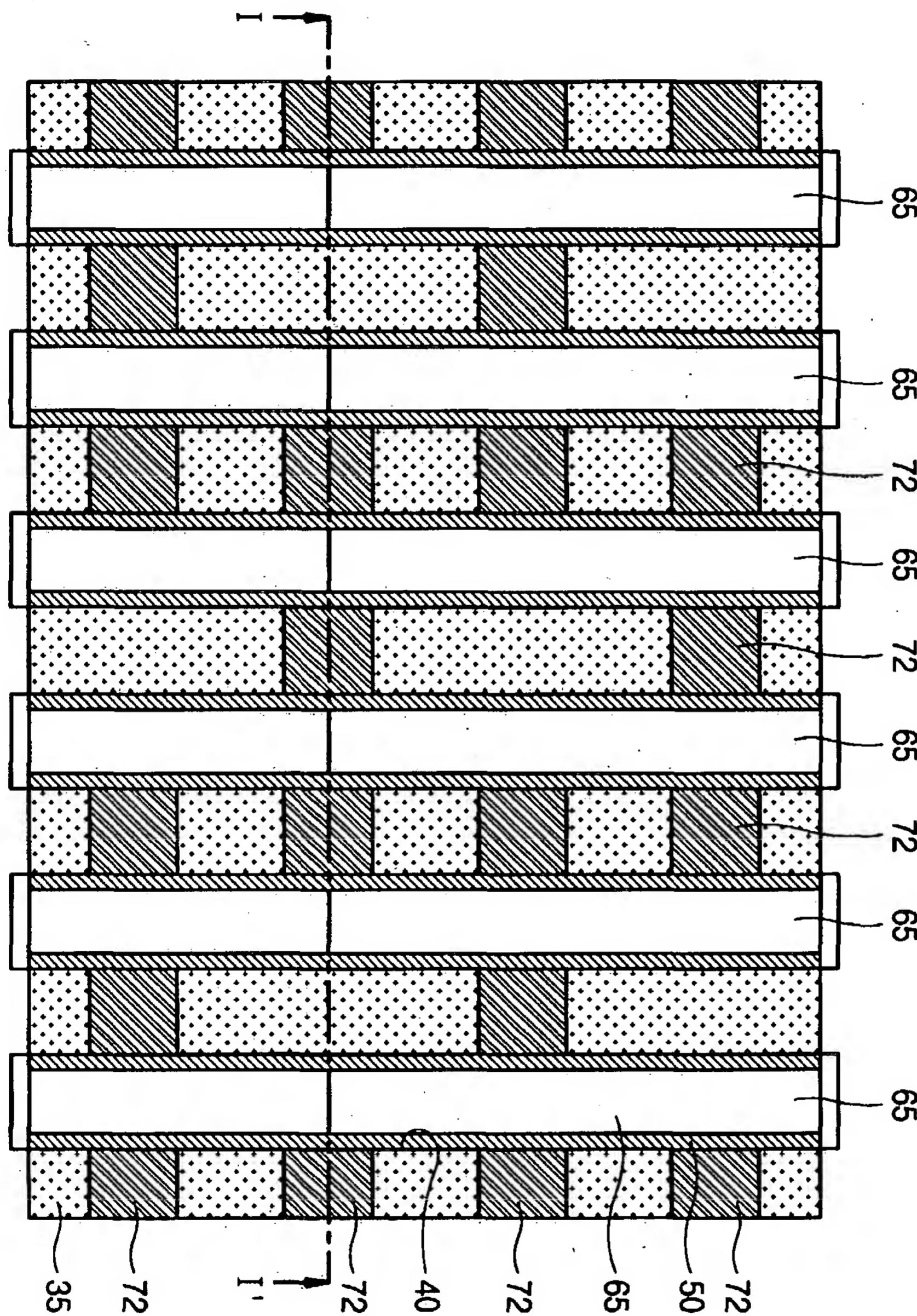
【도 5c】



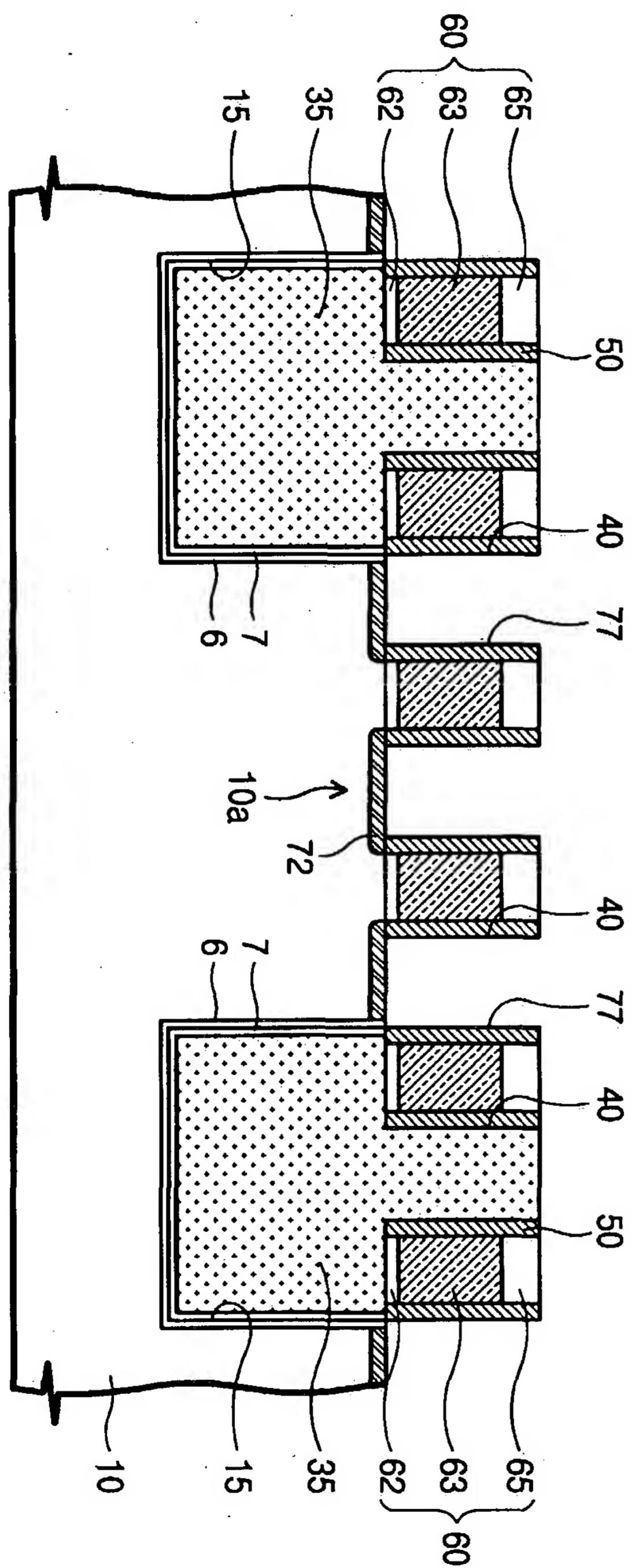
1020020044223

출 래 일자: 2003/3/3

【도 6a】



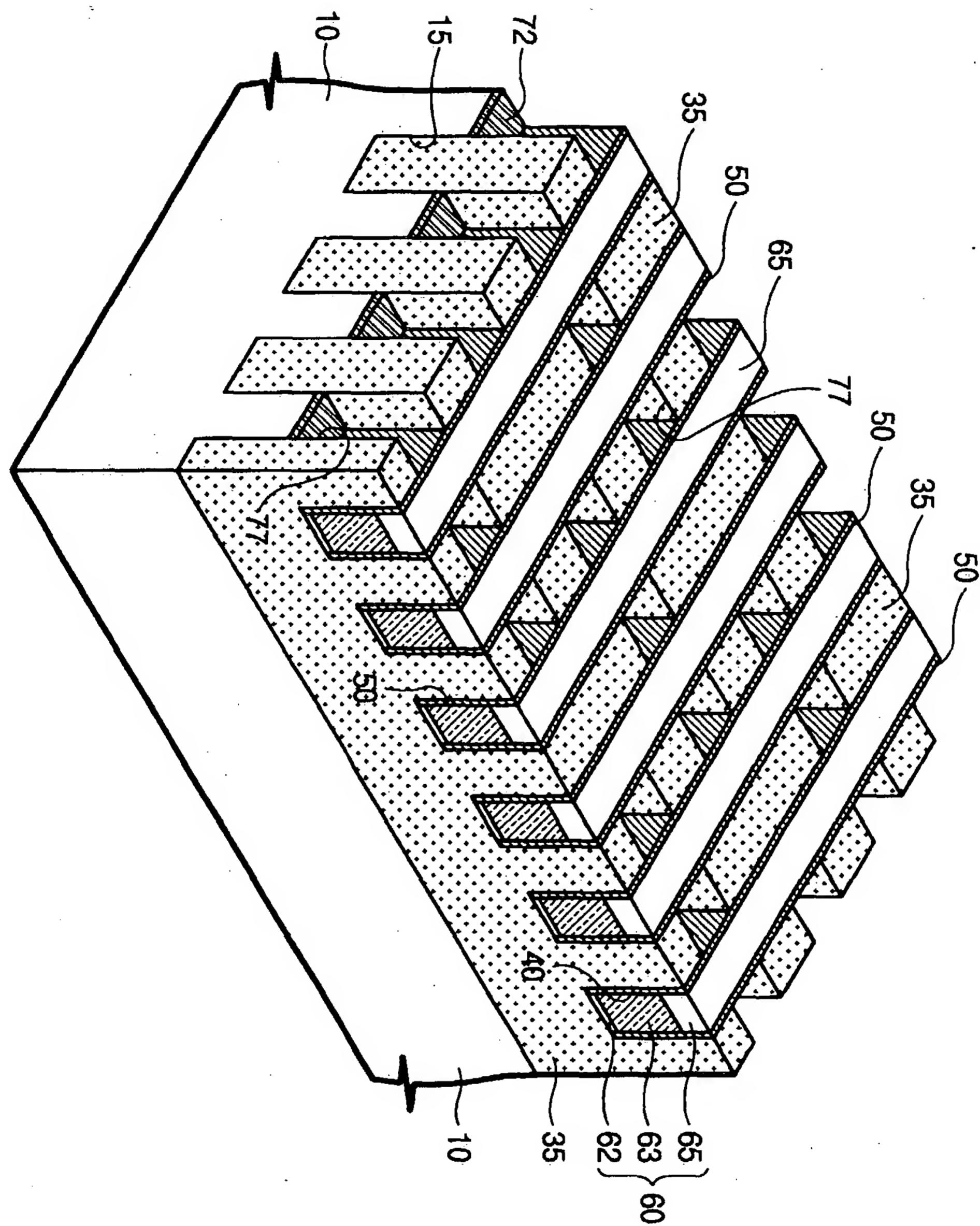
【도 6b】



1020020044223

출원 일자: 2003/3/3

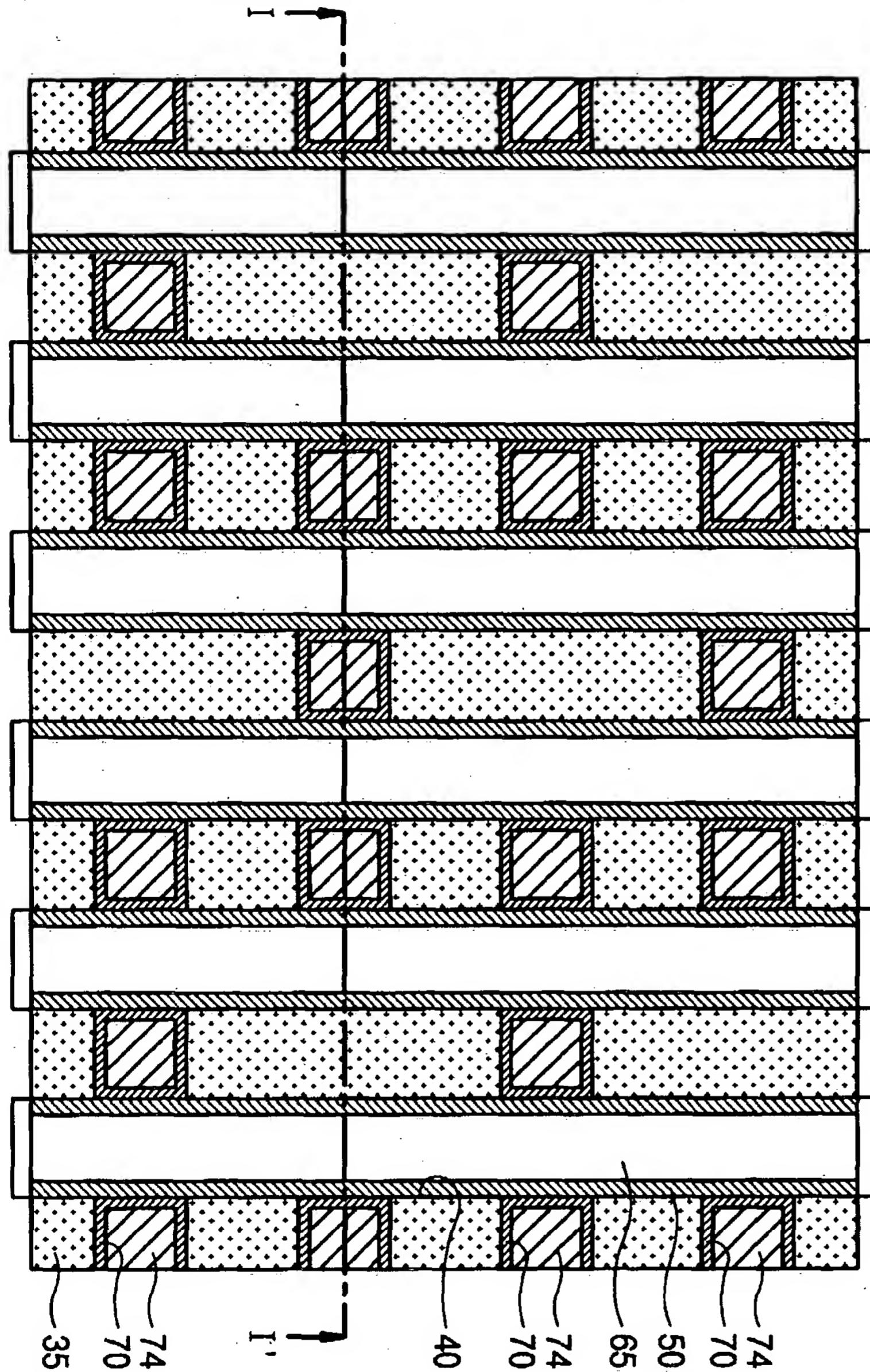
【도 6c】



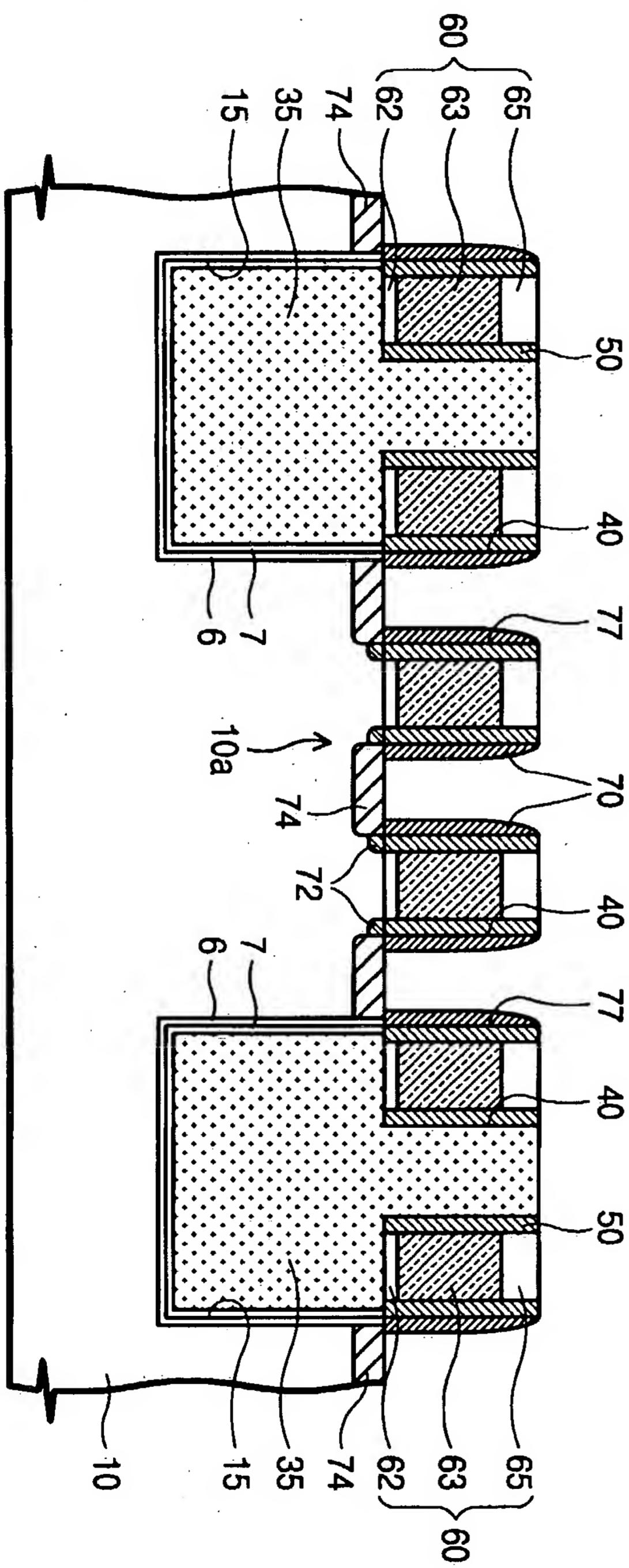
1020020044223

출력 일자: 2003/3/3

【도 7a】



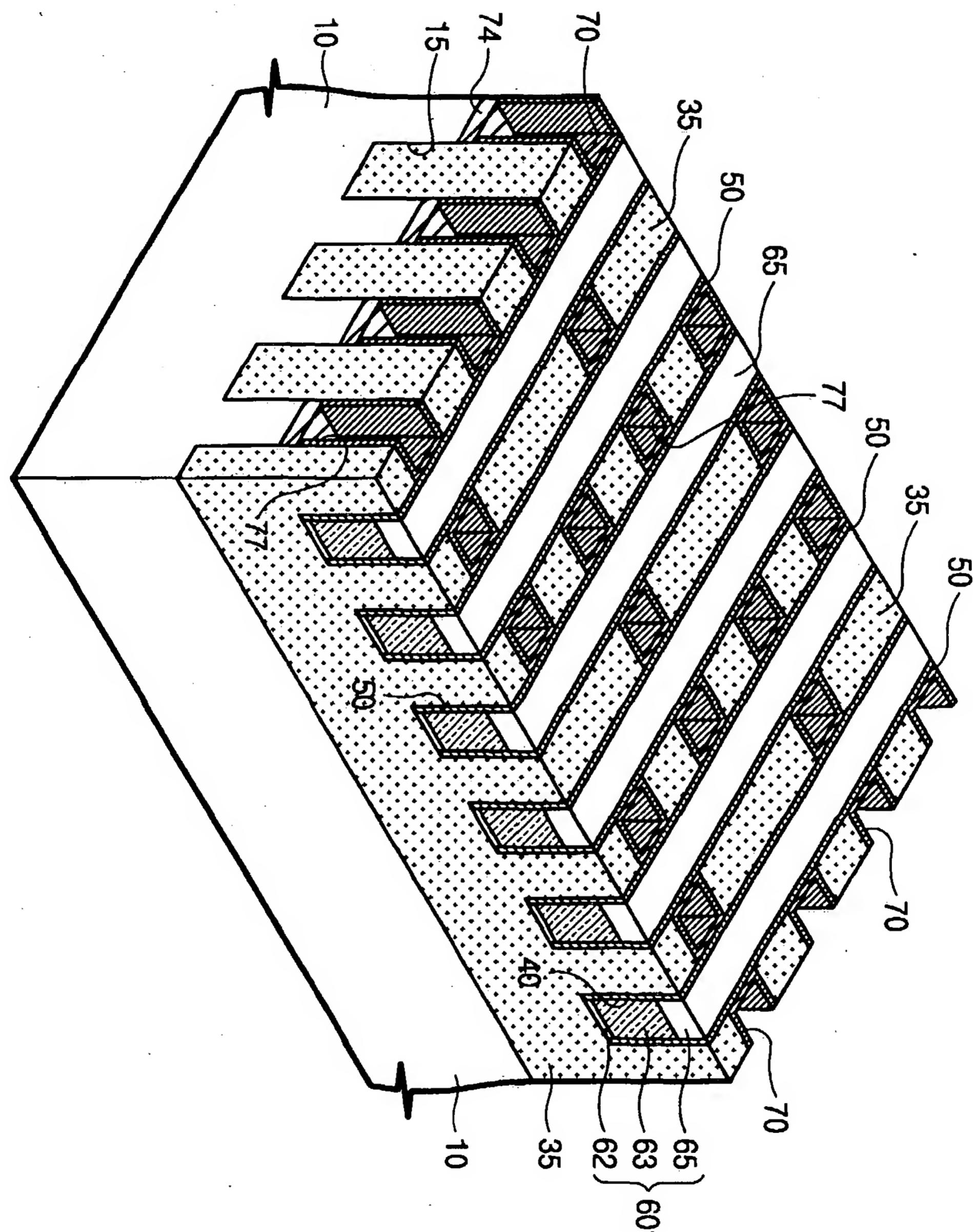
【도 7b】



1020020044223

출력 일자: 2003/3/3

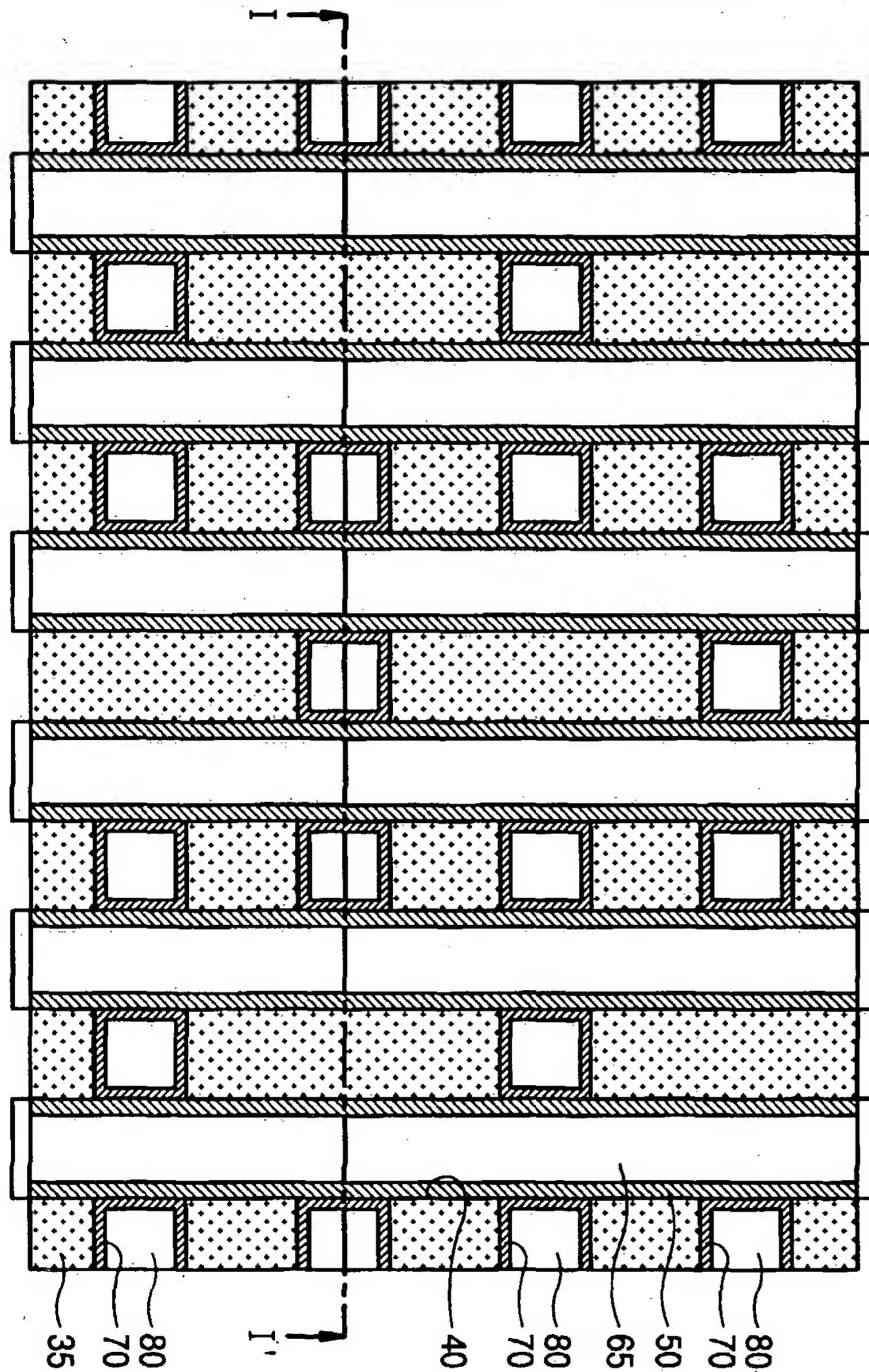
【도 7c】



1020020044223

출력 일자: 2003/3/3

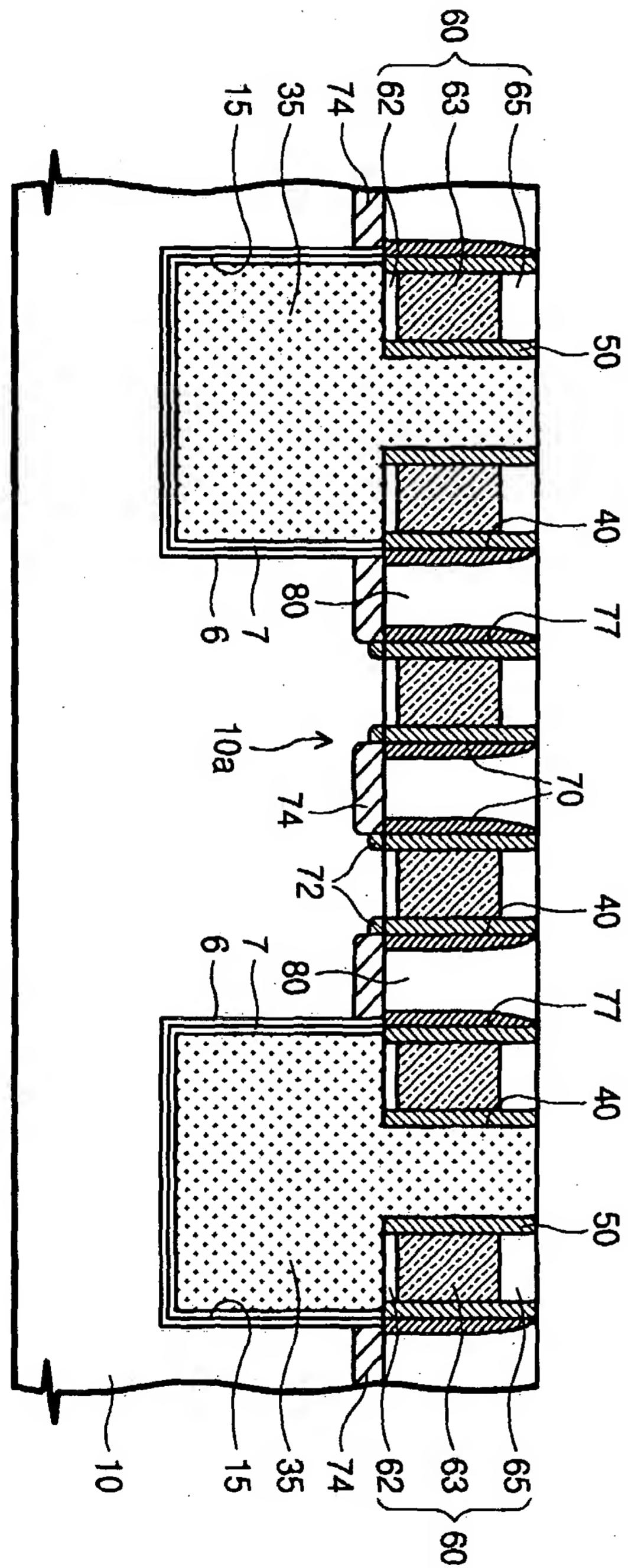
【도 8a】



1020020044223

출력 일자: 2003/3/3

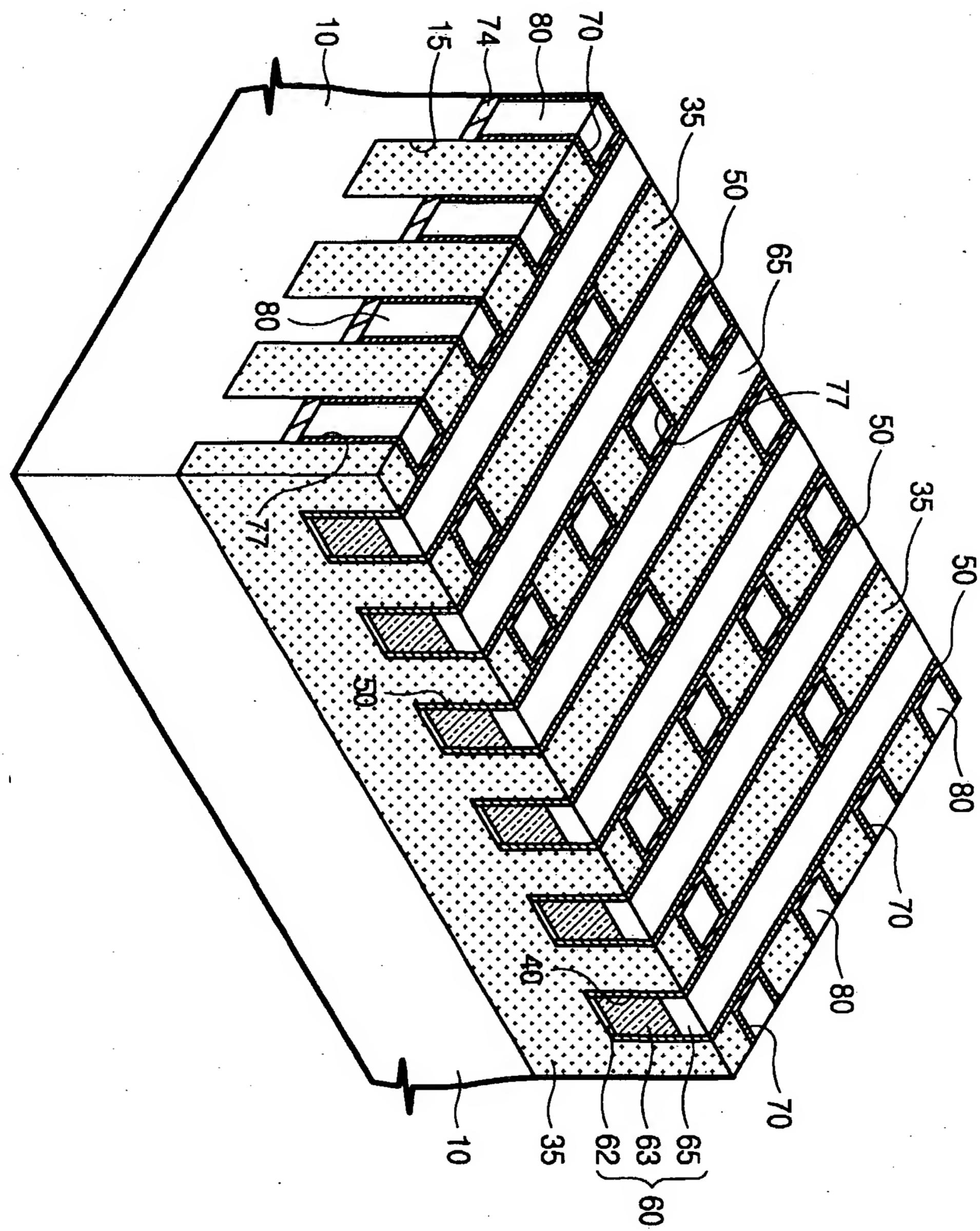
【도 8b】



1020020044223

출력 일자: 2003/3/3

【도 8c】





1020020044223

출력 일자: 2003/3/3

【도 9】

